

F-02ED0573

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-267488

(P2001-267488A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl.⁷

識別記号

F I

ターマコード* (参考)

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

25/18

審査請求 未請求 請求項の数29 O L (全 24 頁)

(21) 出願番号 特願2000-75833 (P2000-75833)

(22) 出願日 平成12年3月17日 (2000.3.17)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 大家 充也

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100089093

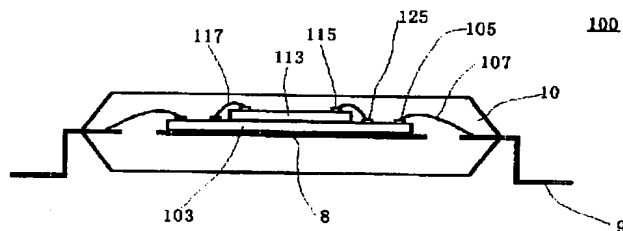
弁理士 大西 健治

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 システムLSIを複数のLSIチップを樹脂にて封止した半導体装置にて容易に実現する。

【解決手段】 LSIチップ103の主表面にリード9との接続用のパッド電極15と内部インターフェース用のパッド電極125を設け、この主表面上に配置されるLSIチップ113のパッド電極115とパッド電極125とをワイヤ117にて電氣的に接続することで、LSIチップ103にはない、システムLSIとしての必要な回路の一部をLSIチップ113に搭載し、2つのLSIチップにて所望のシステムLSIとしての機能を実現する。



【特許請求の範囲】

【請求項1】 第1の半導体素子と第2の半導体素子とを樹脂にて封止してなる半導体装置において、前記第1の半導体素子の主表面に配置され、各々が該第1の半導体素子に設けられた複数の回路のいずれかと電気的に接続されており、外部との接続用の複数の端子の対応するものと電気的に接続される複数の第1のパッド電極と、前記第1の半導体素子の主表面に配置され、各々が該第1の半導体素子に設けられた複数の回路のいずれかと電気的に接続されている複数の第2のパッド電極と、前記第2の半導体素子の主表面に配置され、各々が該第2の半導体素子に設けられた回路と電気的に接続されており、前記第2のパッド電極の対応するものと電気的に接続される第3のパッド電極とを有し、前記第1の半導体素子は、前記第2の半導体素子に設けられた回路を用いることにより、所定の機能を実行することを特徴とする半導体装置。

【請求項2】 前記第2の半導体素子は、前記第1の半導体素子の主表面上に積層配置されることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体装置は、複数の配線が設けられた基板を有し、前記第1の半導体素子と前記第2の半導体素子とは、前記基板の一方の表面に実装され、前記基板に設けられた配線を用いて、前記第2のパッド電極と前記第3のパッド電極とは電気的に接続されることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記半導体装置は、複数の配線が設けられた基板を有し、前記第1の半導体素子は前記基板の一方の表面に実装され、前記第2の半導体素子は前記基板の他方の表面に実装され、前記基板に設けられた配線を用いて、前記第2のパッド電極と前記第3のパッド電極とは電気的に接続されることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記第1の半導体素子は、前記第2の半導体素子の主表面上に積層配置されることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記第2の半導体素子はメモリであり、前記第1半導体素子は、前記第2の半導体素子のメモリセルが配置された領域上を覆うように配置されていることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記第1のパッド電極は前記第1の半導体素子の主表面における所望の辺に沿って整列配置され、前記第2のパッド電極は前記第1の半導体素子における、前記辺とは異なる辺に沿って整列配置されることを特徴とする請求項5または請求項6に記載の半導体装置。

【請求項8】 前記第1の半導体素子と前記第2の半導体素子とのいずれか一方は、動作のための電源電圧として第1の電源電圧を使用するための製造方法が適用され

るものであり、他方は、動作のための電源電圧として前記第1の電源電圧より低い第2の電源電圧が適用される製造方法が適用されるものであることを特徴とする請求項1～7のいずれか1つに記載の半導体装置。

【請求項9】 前記第1の半導体素子と前記第2の半導体素子とのいずれか一方は、アナログ回路を作り込むための製造方法が適用されるものであり、他方は、ロジック回路を作り込むための製造方法が適用されるものであることを特徴とする請求項1～5のいずれか1つに記載の半導体装置。

【請求項10】 前記半導体装置はメモリに格納されたプログラムにより動作するプログラマブル集積回路として機能するものであり、前記第2の半導体素子は前記メモリの機能を有するものであることを特徴とする請求項1～5のいずれか1つに記載の半導体装置。

【請求項11】 前記第2の半導体素子は書換え可能なプログラマブルメモリであり、前記第1の半導体素子は前記メモリと同様なものとして使用するためのマスクROMを有し、前記第1の半導体素子には、前記第2の半導体素子あるいは前記マスクROMのいずれかの使用を選択可能とする選択手段を有することを特徴とする請求項10記載の半導体装置。

【請求項12】 前記選択手段は、前記複数の第1のパッド電極の少なくとも1つに供給される電圧に応じて、選択制御する選択回路であることを特徴とする請求項11記載の半導体装置。

【請求項13】 前記選択回路は、前記複数の第1のパッド電極のうちの1つである選択用パッド電極が、所望の固定電圧を供給するための前記端子と電気的に接続されるか否かに応じて選択処理を行うものであることを特徴とする請求項11記載の半導体装置。

【請求項14】 前記選択用パッド電極が、所望の第1の固定電圧を供給するための前記端子と電気的に接続されるか否か、あるいは前記選択用パッド電極が、所望の第2の固定電圧を供給するための前記端子と電気的に接続されるか否かに応じて選択処理を行うものであることを特徴とする請求項13記載の半導体装置。

【請求項15】 前記選択回路は、前記複数の第1のパッド電極のうちの第1の選択用パッド電極が、所望の第1の固定電圧を供給するための前記端子と電気的に接続されるか否か、並びに前記複数の第1のパッド電極のうちの第2の選択用パッド電極が、所望の第2の固定電圧を供給するための前記端子と電気的に接続されるか否か、に応じて選択処理を行うものであることを特徴とする請求項12記載の半導体装置。

【請求項16】 前記選択手段は、前記マスクROMを構成する層により接続状態が選択制御されるものであることを特徴とする請求項11記載の半導体装置。

【請求項17】 前記選択手段は、前記第1の半導体素子に所定の電流を流すことで断線可能なヒューズからな

ることを特徴とする請求項1記載の半導体装置。

【請求項18】 前記選択手段は、プログラムにより選択制御されることを特徴とする請求項1記載の半導体装置。

【請求項19】 前記第1の半導体素子はメモリを有し、前記第2の半導体素子は前記メモリに対する拡張用として用いられるメモリであることを特徴とする請求項1～5のいずれか1つに記載の半導体装置。

【請求項20】 前記複数の第2のパッド電極は、前記第2の半導体素子より、前記複数の第1のパッド電極に近接して配置されていることを特徴とする請求項2記載の半導体装置。

【請求項21】 前記第1の半導体素子には、それぞれ個別にテスト可能なテスト回路が内蔵されていることを特徴とする請求項1～6のいずれか1つに記載の半導体装置。

【請求項22】 前記第2の半導体素子の前記主表面は矩形状であり、前記複数の第3のパッド電極は、該主表面の3辺以内に、それぞれの辺に沿って配置されていることを特徴とする請求項2または請求項20に記載の半導体装置。

【請求項23】 前記複数の第1のパッド電極と前記外部との接続用の複数の端子との電気的な接続、並びに、前記複数の第2のパッド電極と前記複数の第3のパッド電極との電気的な接続は、ワイヤボンディングであることを特徴とする請求項1～請求項22のいずれか1つに記載の半導体装置。

【請求項24】 前記外部との接続用の複数の端子のうち、電源用あるいは接地用の端子は、前記複数の第3のパッド電極のうち対応する電源用あるいは接地用のパッド電極とワイヤボンディングにて電気的に接続されることを特徴とする請求項23記載の半導体装置。

【請求項25】 前記第2の半導体素子には、アナログ信号を使用する回路あるいは前記第1の半導体素子に内蔵された回路が使用する基準電圧とは異なる電圧を使用する回路を内蔵し、前記外部との接続用の複数の端子のうち、アナログ信号用の端子あるいは前記基準電圧とは異なる電圧用の端子と、前記複数の第3のパッド電極の対応するものがワイヤボンディングにて電気的に接続されることを特徴とする請求項9記載の半導体装置。

【請求項26】 前記第1の半導体素子は発振回路を内蔵し、前記第2の半導体素子に内蔵された回路は、該発振回路からのクロック信号に基づいて動作することを特徴とする請求項1～請求項25のいずれか1つに記載の半導体装置。

【請求項27】 前記第2の半導体素子に内蔵された回路は、前記第1の半導体素子に内蔵された回路より応力による影響を受け易いことを特徴とする請求項2、請求項20、請求項22のいずれか1つに記載の半導体装置。

【請求項28】 前記第1のパッド電極は前記第1の半導体素子の主表面を構成する辺に沿って整列配置され、前記第2のパッド電極は、整列配置された前記第1のパッド電極の整列方向に沿って整列配置され、前記第1のパッド電極と前記第2のパッド電極とで千鳥状になっていることを特徴とする請求項1～請求項6、請求項8～請求項27のいずれか1つに記載の半導体装置。

【請求項29】 前記第2のパッド電極の各々は、前記複数の第1のパッド電極に挟まれるように配置され、前記第1及び前記第2のパッド電極は、前記第1の半導体素子の主表面を構成する辺に沿って整列配置されることを特徴とする請求項1～請求項6、請求項8～請求項27のいずれか1つに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の半導体素子を樹脂にて封止してなる半導体装置に関するものである。

【0002】

【従来の技術】従来、半導体装置は、複数の回路を集積した大規模集積回路（以下、LSIと称する）を内蔵する半導体素子（以下、LSIチップと称する）を樹脂にて封止してなるものが一般的である。

【0003】図16は従来の半導体装置1の内部構造を示す断面図である。図16に示されるように、LSIチップ3はダイ8上に接着材にて固定配置されている。LSIチップ3の主表面に配置された複数のパッド電極5は金属細線であるワイヤ7にて、外部との接続用の端子となる導電材料からなるリード9と電気的に接続されている。LSIチップ3、パッド電極5、ダイ8、ワイヤ7、リード9におけるワイヤ7との接続部を含む一部（インナーリードと言われる部分）は絶縁性の樹脂10にて封止されている。樹脂10から導出したリード9の一部（アウターリードと言われる部分）にて、例えば、プリント基板を介して他の装置と電気的に接続され、信号の授受等が行われることとなる。

【0004】LSIチップ3が、例えば、マイクロコンピュータ（以下、マイコンと称する）等のような、中央処理装置（以下、CPUと称する）のコア、メモリ、その他の周辺機能のための回路などを複合機能を実現するシステムLSIである場合には、これらの機能を同一の半導体基板上に混載していることとなる。このため、システムLSIにメモリとして、DRAM（ダイナミックランダムアクセスメモリ）や一括消去可能なEEPROM（電気的に消去可能なリードオンリメモリ）を搭載する場合には、CPUコアや周辺機能のための回路を実現するための製造プロセス（以下、Logicプロセスと称する）にはない特有の製造プロセスが必要となる。この結果、このようなシステムLSIを実現するためには、これ特有の製造プロセス（Logicとメモリとの

混載用のプロセス)を適用し、製品開発するようになっている。

【0005】また、近年においては、複数のLSIチップを樹脂にて封止して製品化(つまり、複数の半導体素子を1つのパッケージに収納)された半導体装置が現れてきている。このような半導体装置は、MCP(Multiple Chip Package)タイプと言われている。MCPタイプの半導体装置は、メモリ系のLSIにて適用されており、例えば、同種のメモリを1つのパッケージに収納することで、メモリ容量の拡大を実現、あるいは、機能の異なる種類のメモリを1つのパッケージに収納することで、省スペース化を実現するのに適用されている。

【0006】図17は、MCPタイプの半導体装置11の内部構造を示す断面図であり、図18は、MCPタイプの半導体装置11の内部構造を示す平面図である。図17、図18において、構造上で、図16と同様な構成要素については同じ符号を付けている。

【0007】図17、図18に示されるように、ダイ8上には接着材により固定配置されたLSIチップ3が搭載されている。また、LSIチップ3の主表面上には、ワイヤ7にてリード9と電気的に接続された複数のパッド電極5が配置されている。さらに、LSIチップ3の主表面上には、絶縁性の接着材を介して、LSIチップ13が固定配置されている。LSIチップ13の主表面上には複数のパッド電極15が配置され、これらパッド電極15の各々は、リード9の対応するものとワイヤ17にて電気的に接続されている。これら2つのLSIチップ3及び13、リード9におけるワイヤ7やワイヤ17との接続部分を含む一部、ダイ8は、樹脂10にて封止されている。

【0008】このように、MCPタイプの半導体装置11は、複数のLSIチップ3及び13を1つのパッケージに収納し、LSIチップ3、13それぞれの外部との接続用のリード9を有する構成になっている。

【0009】このようなMCP対応の半導体装置11としては、例えば、BGA(Ball Grid Array)のようなものがある。これは、SRAM(スタティックランダムアクセスメモリ)と一括消去可能なEEPROMといった異種のメモリを1つのパッケージに収納し、それぞれメモリを独立して動作するように、各メモリの入出力端子を、それぞれ個別にリード9に接続するような構造となっている。このような構成とすることで、1つのLSIチップのスペースで2つのLSIチップ分の機能を実現することが可能となる。

【0010】このように、半導体装置に内蔵されるLSI、特にシステムLSIにおいては、混載プロセスを適用することで製品開発が行われ、メモリ系LSIにおいては、MCPタイプの半導体装置とすることで、メモリ容量の増大や異種のメモリを複合化して製品開発が行わ

れている。

【0011】

【発明が解決しようとする課題】しかしながら、システムLSIを搭載する半導体装置においては、同一の半導体基板上に、メモリ特有の製造プロセスとLogicプロセスとを組み込んだ特有のプロセスにて製造するため、次のような問題がある。

【0012】第1に、Logic単独の製造プロセスやメモリ単独の製造プロセスと比較して、マスクの枚数が多くなるため、歩留りの低下を招くこととなる。第2に、特有のプロセスとなるので、Logic部分の回路の性能向上やメモリ部分の性能向上に容易に対応できない。第3に、製造プロセスが複雑化するため、TATが長くなる。第4に、製造プロセスが複雑化し、マスクの枚数が多くなるため、プロセスコストが高くなる。第5に、低電圧/低電流動作を追及するSOI(Silicon On Insulator)プロセスからなるLSIと高耐圧な要素素子(高耐圧MOSトランジスタ等)を作り込むための特殊なプロセスからなるLSIとを混載したLSIのためのプロセスの開発自体が技術的に非常に困難である。

【0013】特に、今後、より微細なディープサブミクロンの製造プロセスを適用するLSIではLogicプロセスにおいても低電圧化(0.8~1.5V程度)が加速されることとなる。このようになると、一括消去可能なEEPROMのように、データの書き換えや読み出し時に電源電圧(例えば、3.3Vや5V)より高い高電圧(例えば、8~12V)を含む複数の電圧を必要とするため、高耐圧な要素素子を作り込むための高耐圧プロセスとLogicプロセスとを組み込んで構成されるシステムLSI(一括消去可能なメモリ搭載マイコン等)の実現が困難になってしまうこととなる。

【0014】また、MCPタイプの半導体装置においては、上述のように、メモリ容量の増加や省スペース化を目的としているため、同種のメモリ系LSIを1つのパッケージに収納するか、異種のメモリ系LSIを1つのパッケージに収納し、異種のメモリ系LSIをそれぞれ独立して動作させるように、それぞれのLSIに対するリードを設けるといったことに限られていた。このため、MCPタイプの半導体装置においてシステムLSIを実現するものはなかった。

【0015】本発明は、上記問題点を解決し、システムLSIを複数のLSIチップを樹脂にて封止した半導体装置にて容易に実現することを可能とすることを目的とする。

【0016】また、本発明は、さらに、システムLSIを複数のLSIチップを樹脂にて封止した半導体装置にて実現するにあたって生ずる問題点を解決し、従来に比べてもシステムLSIとしての機能を損なうことなく実現することを目的とする。

【0017】

【課題を解決するための手段】上記課題を解決するために、本発明が講じた手段は、第1の半導体素子と第2の半導体素子とを樹脂にて封止してなる半導体装置において、第1の半導体素子の主表面に配置され、各々が第1の半導体素子に設けられた複数の回路のいずれかと電気的に接続されており、外部との接続用の複数の端子の対応するものと電気的に接続される複数の第1のパッド電極と、第1の半導体素子の主表面に配置され、各々が第1の半導体素子に設けられた複数の回路のいずれかと電気的に接続されている複数の第2のパッド電極と、第2の半導体素子の主表面に配置され、各々が第2の半導体素子に設けられた回路と電気的に接続されており、第2のパッド電極の対応するものと電気的に接続される第3のパッド電極とを有し、第1の半導体素子は、第2の半導体素子に設けられた回路を用いることにより、所定の機能を実行するようにしたものである。

【0018】このように構成することにより、本発明の半導体装置は、第1の半導体素子に設けられた回路と第2の半導体素子に設けられた回路とが、第2のパッド電極と第3のパッド電極とで電気的に接続されることで、信号の授受が可能となり、これら2つの半導体素子にてシステムLSIとしての1つの機能を実現することができる。このため、第1の半導体素子と第2の半導体素子とを個別に製造することができ、上記課題を解決することができる。

【0019】また、本発明においては、第2のパッド電極の配置、第2の半導体素子における電源電圧あるいは接地電圧の供給、第2の半導体素子に設けられた回路を使用するか否かを選択する選択手段の配置等の工夫することにより、システムLSIをMCPタイプの半導体装置にて実現するにあたって生ずる問題点をも解決するものである。

【0020】

【発明の実施の形態】本発明の半導体装置についてを、図面を用いて以下に詳細に説明する。図1は、本発明の第1の実施の形態におけるMCPタイプの半導体装置100の内部構造を示す断面図であり、図2は、半導体装置100の内部構造を示す平面図である。なお、図1において、図16～図18と同様な構成要素については同じ符号を付けている。

【0021】図1及び図2において、半導体装置100は、第1の半導体素子であるLSIチップ103と第2の半導体素子であるLSIチップ113とを有している。LSIチップ103及びLSIチップ113はともに同様な形状（本発明においては、矩形状）である。

【0022】LSIチップ103は、LSI103の裏面とダイ8との間に設けられた接着材にてダイ8の略中央領域上に固定配置されている。LSIチップ103の主表面上には複数の第1のパッド電極105が配置され

ている。第1の実施の形態においては、各パッド電極105はLSIチップ103の並行する2つの辺にそれぞれ整列配置されている。

【0023】LSIチップ103の主表面上には、さらに複数の第2のパッド電極125が配置されている。各パッド電極125は、LSIチップ113の配置されている領域の周囲の任意の位置に配置されている。

【0024】LSIチップ103よりサイズの小さいLSIチップ113は、LSI113の裏面とLSIチップ103の主表面との間に設けられた接着材にてLSIチップ103の略中央領域上に固定配置されている。なお、LSIチップ113との無用な電気的接続を避けるために、LSIチップ103の主表面は絶縁性の保護膜で構成されていることが望ましい。LSIチップ113の主表面上には複数の第3のパッド電極115が配置されている。第1の実施の形態においては、各パッド電極115はLSIチップ113の2つの辺（第2のパッド電極125が配置されている側の辺）にそれぞれ整列配置されている。

【0025】複数の第1のパッド電極105各々は、それぞれワイヤ107により、対応するリード9と電気的に接続されている。複数の第2のパッド電極125各々は、ワイヤ117により、対応する複数の第3のパッド電極115のいずれかと電気的に接続されている。

【0026】このように接続されたLSIチップ103、113、ダイ8、ワイヤ107、117、リード9におけるワイヤ107との接続部分を含む一部は、樹脂10にて封止されている。

【0027】図3は、図1における半導体装置の組立てを説明する斜視図である。なお、図3においては、組立ての説明に用いるものであるため、リード9やワイヤ107を一部削除している。図3に示すように、まず、第1のパッド電極105と第2のパッド電極125を有するLSIチップ103を準備する。この時、LSIチップ103の製造時点において、後に、LSIチップ113が搭載されるべき主表面上の領域103aの周辺にパッド電極125が配置されるように構成している。また、LSIチップ113は、LSIチップ103の製造とは独立して別途製造され、準備される。この時、後に施されるワイヤボンディングをより容易に行い、ワイヤ間での短絡等を起こさないようにするために、パッド電極115の配置は、パッド電極125の配置される位置に応じて設定されるようにするとよい。このような、それぞれのLSIチップにおけるパッド電極125の配置やパッド電極115の配置は、このどちらか一方のパッド電極が配置されるLSIチップにおける回路レイアウトの設計時点でそのパッド電極の配置を予め決定しておけば、他方のパッド電極が配置されるLSIチップにおいても容易に対応できる。

【0028】LSIチップ103の第1のパッド電極1

05とリード9をワイヤ107にて電氣的に接続した後、LSIチップ113を、LSIチップ103の主表面における所定の配置すべき領域103aに搭載される。この後、パッド電極115とパッド電極125との電氣的な接続がワイヤボンディングにて行われる。なお、製造方法としては、これに限定されず、LSIチップ103の第1のパッド電極105とリード9をワイヤ107にて電氣的に接続する前に、LSIチップ113を、LSIチップ103の主表面における所定の配置すべき領域103aに搭載し、その後、第1のパッド電極105とリード9とのワイヤ107による電氣的な接続及びパッド電極115とパッド電極125とのワイヤ117による電氣的な接続を行うようにしてもよい。後者の方が、ワイヤボンディング処理をまとめて行うことができるので、効率的となることが期待できる。

【0029】このように、第1の実施の形態における半導体装置は、LSIチップ103とLSIチップ113とがそれぞれ単独で開発され、製造された後に、これら2つのLSIチップ間の信号授受を、LSIチップ103に設けられたパッド電極125を用いて行うことで、ひとつの機能（システムLSIとしての機能）が実現されるものである。

【0030】本発明の半導体装置に適用されるシステムLSIの代表的な例として、一括消去可能なEEPROMを搭載してなるマイコンを用いて説明する。図4は、一括消去可能なEEPROMを搭載してなるマイコン50の構成を示すブロック図である。

【0031】図4に示すように、このようなマイコン50は、CPU51、タイマ58やシリアルーパラレル変換回路59等の周辺機能、データの保持や送出に用いられるSRAM55、各種の命令を格納したプログラムメモリとしての、一括消去可能なEEPROM53、入出力インターフェース部57といった様々な構成要素から構成されている。

【0032】これら、各構成要素間にはそれぞれ多数の信号線やバスにて信号の授受が可能のように接続されている。共通バス56は、信号線66を介してタイマ58の出力信号の転送や、信号線67を介してシリアルーパラレル変換回路からの出力信号の転送に用いられる。また、共通バス56は、信号線61を介して、CPU51とのデータの授受等を行い、信号線62を介してSRAMとのアドレスやデータの授受等に用いられる。信号線63はCPU51からSRAM55へ出力される書き込み指示信号等の制御信号を伝達する。入出力インターフェース部57は、信号線64により、信号線69にて外部から受信したデータをCPUに伝達したり、CPU51からの制御信号をインターフェース部57へ伝達するものであり、信号線65は、SRAM55から読み出したデータをインターフェース部57へ伝達したり、インターフェース部57から送られてくる信号を受信するの

に用いられる。インターフェース部57は、信号線69にて外部とのデータ等の信号授受を行う。

【0033】EEPROM53は、格納している命令等のプログラムを信号線68を用いてCPU51へ命令を送る。また、信号線68を介して、CPU51から送られてくるアドレスに応じて、所望のプログラムの選択がなされる。つまり、信号線68は、アドレスバス、データバス、メモリ制御信号、EEPROM53に対する電源電圧供給線等の複数の信号線からなるものである。

【0034】本発明の第1の実施の形態における半導体装置100においては、LSIチップ113としては、図4のEEPROM53を搭載するメモリ系LSIとし、LSIチップ103としては、EEPROM53を除いた、図4におけるその他の構成要素を搭載するLogic系LSIとするものである。

【0035】このため、LSI113の複数のパッド電極115とLSI103の複数のパッド電極125は、図4における信号線68と同様な信号の授受を行うために用いられるものである。言い換えると、ワイヤ117を用いて、LSI113の複数のパッド電極115とLSI103の複数のパッド電極125とを電氣的に接続することで、信号線68と同様な信号の授受が実現できる。

【0036】以上のように、LSIチップ103に設けた第2のパッド電極125は、LSIチップ113とのインターフェースをとるために用いられる電極パッドとなり、パッド電極125を用いて、LSIチップ113との信号の授受を可能とすることで、一括消去可能なEEPROMを搭載してなるマイコンとしての動作が可能となる。また、リード9については、従来のリードの数や配置に対して何ら新たな制約が生ずるものではなく、従来と同様のままでよい。

【0037】本発明の第1の実施の形態においては、1つのパッケージに収納したLSIチップ103とLSIチップ113との2つのLSIチップを用いて、ひとつのマイコンとしての動作が実現できるものである。このため、本発明の第1の実施の形態における半導体装置においては、次のような効果が得られる。

【0038】第1の半導体素子であるLSIチップ103と第2の半導体素子であるLSIチップ113とをそれぞれ個別に製造することができるので、それぞれのLSIチップの製造を並行して行うことができる。よって、開発及び製造のTATを短縮することができる。

【0039】また、LSIチップ103をLogicプロセスにて製造し、LSIチップ113をメモリ特有のプロセスにてそれぞれ製造することができるので、Logicプロセスとメモリプロセスとを組み合わせた混載プロセスを開発する必要がない。特に、一括消去可能なEEPROMのように高耐圧な要素素子が必要となるLSI特有の高耐圧プロセスからなるLSIとSOIプロ

セスからなるLSIとの組み合わせも可能となり、より高度な機能を有するシステムLSIの開発が実現可能となる。

【0040】また、LSIチップの積層により実現し、リード9の配置や本数は、一方の半導体素子であるLSIチップ103と同様なままでよい。このため、半導体装置としてのサイズが大きくなることもなく、リードフレームを新たに開発する必要もなく、従来の混載プロセスにて製造される半導体装置のものをそのまま適用可能である。

【0041】ここで、マイコンの製品化においては、CPUやDSP (Digital Signal Processor) のようなハードウェアである回路部分とソフトウェアであるプログラムメモリとを混在させてひとつの機能を実現する場合、同じ機能を実現するにあたって、プログラムメモリとして、ソフトウェア (プログラム) を固定化したマスクROMを用いる製品 (以下、マスクROM版マイコンと称する) と、プログラムメモリをLSIに組み込んだ後においてもソフトウェアの変更可能なEEPROMを用いる製品 (以下、EEPROM版マイコンと称する) とを持つ形態が一般的である。この他にも、ソフトウェア用にEPROMを搭載し、パッケージには紫外線照射用の窓が設けられたものや、この窓を設けずに、1回のみプログラム書き込みを可能としたOTP (One Time Programming) 版マイコンなどもある。

【0042】一般には、EEPROM版マイコンは、プログラムメモリとしてのEEPROMをLSIに組み込んだ後においても、EEPROMへの書き込み、つまり、ソフトウェアの書き換え等が可能なため、次のような効果を得るために適用されている。

【0043】第1に、マイコン製品の出荷直前までソフトウェアの開発やデバッグの対応を可能とすることができることである。第2に、マイコン製品の出荷後もソフトウェアの書き換えが可能であるため、ソフトバグの発生に対する対応ができ、製品の改良 (バージョンアップ等) に対応することができることである。

【0044】つまり、EEPROM版マイコンは、製品開発のTATの短縮や機能向上等の目的で、プログラムの書き換えを前提とするような新規分野向けの製品開発に用いられる。

【0045】しかしながら、EEPROM版マイコンは、データの書き込み等に電源電圧より高電圧を用いるため、特殊な製造プロセスを必要とし、製品コストが高くなる傾向がある。

【0046】これに対して、マスクROM版マイコンは、搭載するマスクROMのタイプにより多少の相違はあるものの、メタル層、コンタクト層、インパシブ層等の一般的なLogicプロセスにて使用されるマスクを使用し、固定的なプログラムコード用マスクを製作するこ

とで製造することができるものである。このため、マスクROM版マイコンは特殊な製造プロセスを必要としないため、製品コストが安価 (EEPROM版マイコンの製品コストの1/2~1/3程度) にすることができる。

【0047】このような製品コストの差があるため、EEPROM版マイコンとマスクROM版マイコンとは、一般的には次のように適用されている。

【0048】まず、マイコン製品の開発時には、EEPROM版マイコンを用い、プログラムの書き換えを可能としておく。プログラムの書き換えを可能としておくことで、ハードウェア及びソフトウェアのデバックを行う。

【0049】マイコン製品の量産開始直後は、EEPROM版マイコンを量産用として適用する。これは万が一に発生し兼ねないプログラムバグに対処可能とするためである。

【0050】EEPROM版マイコンとして製品出荷した後、市場実績 (プログラムバグの発生状況等) を確認し、安定した状況において、EEPROM版マイコンから同じ機能が実現可能なマスクROM版マイコンに切り替える。

【0051】このようにEEPROM版マイコンは、開発時と量産出荷の初期時に適用されるものである。このため、この種のマイコンの生涯出荷数量を考慮すると、EEPROM版マイコンよりマスクROM版マイコンの方が圧倒的に多いものとなる。

【0052】このため、新たな機能を有するマイコンを開発することを考慮した場合、マスクROM版マイコンでの開発とともに、量産数量が少ないEEPROM版マイコンでの開発も行わなければならない。このため、新たな機能を有するマイコンをリリースするにあたっては、TAT、開発工数、及び開発費用がそれぞれ多くかかることとなる。特に、量産数量が少ないEEPROM版マイコンについては、その投資効率が悪いものとなる。

【0053】また、EEPROM版マイコンとマスクROM版マイコンとは同じ機能が実現できるようにしなければならないため、EEPROM版マイコンは、最終形態となるマスクROM版マイコンと等価な諸特性を実現するものでなくてはならない。この諸特性とは、電気的特性、機能のみならず、消費電流やラッチアップ特性、ノイズ特性等を含むものである。EEPROM版マイコンとマスクROM版マイコンとで、この諸特性がほぼ同じものが得られないと、EMC規格に差異が生ずるといった問題が起こることとなる。例えば、EEPROM版マイコンからマスクROM版マイコンに置き換えた際に、動作マージンが大きくなる、ノイズが大きくなる、マイコンに内蔵されるアナログ回路の精度が変わるため再調整が必要となる、消費電流量が変わり、バッ

テリの持続時間が変わるといった問題が発生する。

【0054】第2の実施の形態においては、本発明の第1の実施の形態の半導体装置を適用し、さらに、EEPROM版マイコンとマスクROM版マイコンとの間で生ずる上記のような問題点を解決するように改良したものを提供する。以下に、図面を用いて、本発明の第2の実施の形態における半導体装置を説明する。図5、図6は、それぞれ本発明の第2の実施の形態における半導体装置の平面図である。図5は、EEPROM版マイコンとしての半導体装置の図であり、図6は、マスクROM版マイコンとしての半導体装置の図である。図5、図6は、図2に対応するものであり、図2と同様な構成要素には同じ符号を付している。

【0055】図5においては、LSIチップ213にプログラムメモリとしてのEEPROMを搭載させている。また、主表面にLSIチップ213が配置されているLSIチップ203には、プログラムメモリとしてのマスクROMを搭載するとともに、プログラムメモリ以外のマイコンとして必要な回路の全てが搭載されている。

【0056】LSIチップ203の主表面に配置された複数のパッド電極225各々は、LSIチップ213の主表面に配置されている複数のパッド電極215の対応するものとを、ワイヤ217により電気的に接続するようにしている。また、複数のリード9各々は、複数のパッド電極205の対応するものと、ワイヤ207により電気的に接続されている。

【0057】ここで、LSIチップ203には第1のパッド電極205の1つに選択用のパッド電極205aを設けている。図5におけるEEPROM版マイコンにおいては、パッド電極205aを電源電圧用のリード9aとワイヤ207aにて電気的に接続されている。電源電圧用のリード9aは、LSIチップ207における電源電圧用のパッド電極205とも接続されている。

【0058】図6のマスクROM版マイコンにおいては、LSIチップ213を有していないものである。このため、パッド電極225はいずれもワイヤボンディングがなされていない。LSIチップ203はマスクROM222を搭載している。また、パッド電極205aは電源電圧用のリード9aとワイヤボンディングされていない。

【0059】ここで、LSIチップ203のパッド電極205aとLSIチップ203の内部に搭載される回路との関係を説明する。図7は、パッド電極205aに接続された、LSIチップ203の回路を示す図である。

【0060】図7において、パッド電極205aは、接地されたプルダウン抵抗251に接続されるとともに、ANDゲート253の一方の入力端に接続されている。ANDゲート253の他方の入力端には、マイコンの初期化用のリセット信号RESが遅延用バッファ257を

介して入力される。ANDゲート253の出力端は、ラッチ回路（以下、LATと称する）255の入力端子Dに接続されている。LAT255のクロック端子には、リセット信号RESが入力される。LAT255の出力信号は、選択信号SELとして、後述する内部の回路に輸入される。なお、図7においては、LAT255としてフリップフロップを用いてもよい。なお、ANDゲート253は設なくともよいが、LAT255の入力端子Dに輸入される信号の電位レベルを安定にしておくためには、ANDゲート253を設けた方が好ましい。例えば、LAT255の内部において、入力端子Dから入力された信号をリセット信号RESにて導通が制御されるアナログスイッチにて受けるようになっていれば、ANDゲート253がなくともよい。また、LAT255の内部において、入力端子Dから入力された信号をインバータにて受けるようになっていれば、ANDゲート253を設けておいた方が、インバータの動作状態を確実に安定化できるので好ましい。

【0061】図7に示す回路の動作を説明する。まず、図5に示すように、パッド電極205aが電源電圧用のリード9aとワイヤボンディングにより電気的に接続されているとする。このため、ANDゲート253の一方の入力端には、電源電位レベル（以下、Hレベル）の信号が輸入されることとなる。マイコンの初期化時において、リセット信号RESが接地電位レベル（以下、Lレベルと称する）からHレベルとなる。この時、ANDゲート253の出力信号の電位レベルはHレベルとなる。この後、マイコンの初期化の解除に伴い、リセット信号RESの電位レベルがHレベルからLレベルとなる。LAT255は、リセット信号RESの立ち下がりに応じて、入力端子Dにて受信している信号を取り込む（Hスルーラッチ型）。バッファ257を設けているため、LAT255が取り込む信号の電位レベルはパッド電極205aの電位レベルに応じたものとなる。この結果、LAT255の出力信号である選択信号SELの電位レベルはHレベルとなる。

【0062】また、図6に示すように、パッド電極205aが電源電圧用のリード9aとワイヤボンディングにより電気的に接続されていないとする。このため、ANDゲート253の一方の入力端の電位レベルは、プルダウン抵抗251により、Lレベルとなる。この後、上述と同様に、リセット信号RESの電位レベルがLレベルからHレベルとなり、再びLレベルとなるのに応じて、LAT255は、入力端子Dにて受信している信号を取り込む。この結果、LAT255の出力信号である選択信号SELの電位レベルはLレベルとなる。

【0063】このように、パッド電極205aをワイヤボンディングにてリード9aに接続するか否かで、選択信号SELの電位レベルを切り換えることができる。

【0064】次に、LSIチップ203内における選択

信号SELが入力される回路についてを説明する。図8は、選択信号SELが入力される選択回路260の概念図であり、図9は、選択回路260の具体的な回路図である。なお、図8、図9においては、LSIチップ213が搭載するEEPROM並びにLSIチップ203が搭載するマスクROMが8ビットのデータを扱うものとしての例を示している。

【0065】図8において、選択回路260には、LSIチップ213が搭載するEEPROMからのデータD0～D7が一方の入力端（0側入力）に入力されている。また、選択回路260には、LSIチップ203が搭載するマスクROMからのデータD'0～D'7が一方の入力端（1側入力）に入力されている。図8においては、データD0～D7並びにデータD'0～D'7を伝達する信号線を1本で示しているが、8ビットのデータが8本の信号線にて並列に転送されるものである。選択回路260には、選択信号SELが、入力されている。選択信号SELの電位レベルがLレベルの時には、選択回路260の出力信号ID0～ID7は、それぞれデータD0～D7に応じた信号となる。選択信号SELの電位レベルがHレベルの時には、選択回路260の出力データID0～ID7は、それぞれデータD'0～D'7に応じた信号となる。

【0066】図9に示す、選択回路260の具体的な回路図を用いて上記動作を説明する。選択回路260は、14個の2入力1出力のANDゲート261-0～261-7、263-0～263-7、7個の2入力1出力のORゲート265-0～265-7、1個のインバータ267から構成されている。ANDゲート261-n（ただし、nは0～7の整数）の一方の入力端にはデータD'nが入力されている。ANDゲート261-nの他方の入力端には、選択信号SELが入力されている。

ANDゲート263-nの一方の入力端にはデータDnが入力されている。ANDゲート263-nの他方の入力端には、選択信号SELが入力されるインバータ267の出力信号が入力されている。ORゲート265-nの2つの入力端には、ANDゲート261-nの出力信号とANDゲート263-nの出力信号とがそれぞれ入力されている。

【0067】図9に示す選択回路260の構成から理解されますように、選択信号SELの電位レベルがLレベルの時には、インバータ267から電位レベルがHレベルの信号が入力されているANDゲート263-n側が有効となり、データD0～D7が、それぞれANDゲート263-n、ORゲート265-nを介して、出力データID0～ID7として出力される。選択信号SELの電位レベルがHレベルの時には、選択信号SELから電位レベルがHレベルの信号が入力されているANDゲート261-n側が有効となり、データD'0～D'7が、それぞれANDゲート261-n、ORゲート26

5-nを介して、出力データID0～ID7として出力される。この出力データID0～ID7は、LSIチップ203に搭載されている他の回路へ転送可能なように、LSIチップ203内の内部バスに伝達される。

【0068】このように、選択信号SELの電位レベルがLレベルであれば、LSIチップ203に搭載されているマスクROMを使用し、選択信号SELの電位レベルがHレベルであれば、LSIチップ213に搭載されているEEPROMを使用するように切り換えることができる。なお、図8、図9においては、データを転送するデータバス部分についての選択のみを例として示したが、実際には、その他の、各メモリ（マスクROM、EEPROM）のアクセスに必要なとなる制御信号にも同様に選択可能にする必要がある。また、一括消去可能なEEPROMは、マスクROMとの差異として、データの書き込みのための特別なバスが必要である。これに対しては、LSIチップ213が選択された際に、LSIチップのEEPROMへの書き込みの際にのみ使用するバスをLSIチップ203に設けておく、あるいは、図8や図9で示したデータD'0～D'7を伝達する信号線やID0～ID7を伝達する信号線等を双方向バスとし、選択回路260の構成をANDゲートやORゲートでなくアナログスイッチとする等の対応にて実現することができる。

【0069】以上のように、電極パッド205aに対するボンディングの有無に応じて、LSIチップ213を使用するMCPモードとLSIチップ203のみを使用するSingle Chipモードとを切り換えることができる。つまり、本発明の第2の実施の形態における半導体装置においては、プログラムメモリとしてマスクROMを搭載したLSIチップ203と、MCP対応として開発した、プログラムメモリ用の一括消去可能なEEPROMを搭載するLSIチップ213とを組み合わせることで、EEPROM版マイコンの時には、MCPとしてLSIチップ203とLSIチップ213とを組み合わせさせてマイコンとしての動作を実現させ、マスクROM版マイコンの時には、LSIチップ213を用いたMCPとせず、LSIチップ203のみでマイコンとしての動作を実現させることができる。

【0070】このような構成とすることで、本発明の第2の実施の形態における半導体装置においては、第1の実施の形態の半導体装置の効果に加えて、次のような効果が得られる。

【0071】第1に、MCPタイプ用のEEPROMのLSIチップ213を、LSIチップ203とは個別に設計しておくことができるので、マスクROM版マイコンであるLSIチップ203の新規設計のみで、EEPROM版マイコンも同時に実現することができる。つまり、EEPROM版マイコン並びにマスクROM版マイコンをそれぞれ個別に開発する必要がなくなるため、

開発TATの短縮化、開発費用の削減ができる。また、MCPタイプ用のEEPROMのLSIチップ213は、特定のマイコンに限らず、様々なマイコンにも適用することが可能となるので、開発費用の削減が期待できる。

【0072】第2に、マスクROM版マイコンであるLSIチップ203が、EEPROM版マイコンにおいてもベースとなるため、プログラムメモリ以外の構成については、共通の回路を適用することで、電気的特性、ノイズ特性等の諸特性の差異を極めて小さくすることができる。この結果、EMC規格に差異のないEEPROM版マイコンとマスクROM版マイコンとを提供することが容易に実現できる。

【0073】第3に、従来のように、EEPROM版マイコンが特殊な製造プロセスを適用して実現していたのに比べて、EEPROM部分を従来の高耐圧プロセスを適用し、その他のマイコンの回路部分を従来のMOSプロセスを適用して実現することができる。このため、EEPROM版マイコンをよりコストを低減して実現することができる。

【0074】第4に、LSIチップ213を換えることで、各種の仕様に適応したマイコンを短期間で開発することができる。例えば、メモリサイズ、一括消去可能なEEPROMの書き換え保証回数、動作電圧等が異なるマイコンを、LSIチップ213を新規に開発することのみで実現することができる。

【0075】なお、第2の実施の形態においては、マスクROM版マイコンとしてのLSIチップ203を適用して説明したが、LSIチップ203として、プログラムメモリを有しない、つまり、マスクROMを有しないマイコンとして開発し、LSIチップ213として、マスクROMのものと一括消去可能なEEPROMのものとを開発し、それらのいずれかをプログラムメモリとして適用することで、マスクROM版マイコンとEEPROM版マイコンとを実現するようにしてもよい。この場合、いずれの場合においても、パッド電極225はLSIチップ213のパッド電極215と電気的な接続がなされるため、図7～図9に示すような回路等は不要となる。また、マスクROM版マイコンとしてのLSIチップ203と組み合わせられるLSIチップ213としては、一括消去可能なEEPROMに限らず、マスクROMやEPROM等であってもよい。例えば、開発済みのLSIチップ203に搭載されたマスクROMのメモリ容量が不足した場合には、新規にLSIチップ203を開発せずに、LSIチップ213にてメモリ容量の大きなマスクROMを開発し、LSIチップ203がこのLSIチップ213のマスクROMを用いることで、容易に対応することが可能となる。

【0076】以上、本発明の第1、及び第2の実施の形態についてを詳細に説明した。特に、第2の実施の形

態においては、LSIチップ203をマスクROM版マイコンとし、LSIチップ213をプログラムメモリ用の一括消去可能なEEPROMとして説明したが、LSIチップ213としては次のようなものを適用することも可能である。

【0077】(1) 一括消去可能なEEPROMとアナログーデジタルコンバータ等のアナログ回路とを搭載したもの

(2) アナログーデジタルコンバータ等のアナログ回路

(3) 一括消去可能なEEPROMとSRAMとを搭載したもの

(4) マスクROM

(5) DRAM

(6) SRAM

(7) EEPROM

【0078】例えば、マイコン等で採用されるLogicプロセスが低電圧（例えば、 $0.18\mu\text{m}$ プロセスでは電源電圧 $V_{dd}=1.6\sim 2.0\text{V}$ ）となってきた。これに対して、アナログーデジタルコンバータ等のアナログ信号を扱う回路部分においては、センサやアクチュエータ等における従来のインターフェースレベル（5Vや3V）を維持することが必要である。上記

(1)や(2)は、これに十分対応することができる。具体的には、LSIチップ203として、アナログ回路を含まないマスクROM版マイコンを開発し、LSIチップ213として、(2)の回路を適用して、これらのLSIチップを第1あるいは第2の実施の形態に示すようにMCPタイプとして組みあわせることにより、システムLSIを実現する。また、EEPROM版マイコンの場合には、LSIチップ213を(1)を適用すればよい。なお、この場合には、(2)を開発せずに、マスクROM版マイコンはアナログ回路を搭載しないマイコンとして製品化するようにすることも可能である。

【0079】また、第2の実施の形態において、データ格納用のメモリの増設を同時に実現するためには、

(3)を用いることができる。この場合には、LSIチップ213のSRAMがデータ格納用のメモリの増設用として用いられ、一括消去可能なEEPROMがプログラムメモリ用として用いられる。

【0080】また、(4)～(7)は、LSIチップ203に搭載されるデータ格納用メモリの増設用やLSIチップ203とは異なる製造プロセスとなるメモリの混載用として実現する際に適用されるものである。例えば、LSIチップ203におけるデータ格納用メモリのメモリ空間を超えると、LSIチップ213に搭載されたデータ格納用の増設用メモリにアクセスが移るよう、アドレス制御信号やチップセレクト信号を制御するようにすればよい。このようにすれば、製品コストを増加することなく、短期間で所望のシステムLSIを実現

することが可能となる。

【0081】なお、第1及び第2の実施の形態においては、2個のLSIチップを用いて、これらを相互に接続することで、システムLSIとしてのMCPタイプの半導体装置を実現するものを示しているが、3個以上のLSIチップを相互に接続して、システムLSIとしての機能を実現する半導体装置としてもよいことは言うまでもない。例えば、マスクROM版マイコンとしてのLSIチップ、一掃消去可能なEEPROMとしてのLSIチップ、電源制御回路としてのLSIチップ、通信用アナログLSIとしてのLSIチップの4個のLSIチップを相互に接続し、1つのパッケージに収納して、システムLSIとしての機能が実現されるようにしてもよい。

【0082】第1及び第2の実施の形態においては、マイコンに代表されるようなシステムLSIを例として説明したが、これに限らず、本発明の応用として、次のような場合にも適用可能である。

【0083】例えば、本発明の主旨の1つである同一の半導体基板への製造が困難な、製造プロセスが異なる複数のLSIチップ間を相互に接続してLSIを実現するものであってもよい。例えば、バイポーラプロセスを適用したパワーLSIと、その制御に用いられるLogicプロセスを適用したLSIとを相互に接続し、1つのパッケージに収納するようにしてもよい。

【0084】また、同一の半導体基板への製造が可能で、製造プロセスが同様（例えば、いずれもLogicプロセスが適用されるもの）な複数のLSIチップ間においても適用することができる。例えば、既に開発され、単体のLSIとしても動作可能なアナログ回路を多く搭載した通信用LSIと、その通信用LSIの制御用のマイコンとを相互に接続し、1つのパッケージに収納するようにしてもよい。このようにすれば、短期間で、付加価値の高い異なるLSIを開発することが可能となる。

【0085】このように、いずれにおいても、1つのパッケージに収納される複数のLSIチップが、データの授受等が可能のように相互に接続され、これら複数のLSIチップにて、半導体装置としての所望の機能を実現するように構成されることが重要である。

【0086】上記第2の実施の形態においては、パッド電極205aへのワイヤボンディングの有無により、LSIチップ203内に搭載した回路にて、LSIチップ213の使用の有無を選択するようにしたが、これに限らず、次のような他の方法でも同様な選択を実現することができる。

【0087】まず、LSIチップ203におけるマスクROMのためのマスク層を使用して選択する方法である。つまり、マスクROMにおけるコード（プログラム）を決めるマスク層には、メモリタイプによりメタル

層、コンタクト層、インプラ層など各種あり、このプログラムコードに応じた所望のマスクを用いてマスクROMが製作される。このため、マスクROMのコード用に加えて、上記の選択用としてマスク層用のマスクを使用し、選択指定することができる。この場合、LSIチップ213を使用するよう選択処理してしまうと、そのLSIチップ203は単独での使用ができなくなるが、このようにすれば、パッド電極205aといった選択用の特別なパッド電極を設ける必要がない。また、マスクROMのコード用マスクを選択用と兼用することができるので、マスクの増加等のコストの増加や製造工程の増加を防止できる。

【0088】次に、ヒューズROMを使用して選択する方法である。つまり、LSIチップ203に、所定の電流を流すあるいはレーザにて断線させることができるようなメタル配線からなるヒューズ（以下、これをヒューズROMと称する）を設け、この断線状態に応じて、選択されるようにしておけばよい。図7の例でいえば、パッド電極205aの代わりにヒューズROMを介して電源電圧が印加されているような構成となり、このヒューズROMの断線状態に応じて、ANDゲートに電源電圧が印加されるか、プルダウン抵抗251を介して接地電圧が印加されるかが選択制御できるようにしておけばよい。このような構成とすれば、LSIチップ203のウェハブロービング時に、選択処理することができるので、在庫に対する調整等を考慮すると、柔軟に対応することが可能となる。

【0089】次に、LSIチップ203の所定のパッド電極205を選択専用のパッド電極とする方法である。これは、図7におけるプルダウン抵抗251を削除して、パッド電極205aを選択専用のリードに電気的に接続し、このリードに対して電源電圧を印加するか接地電圧を印加するかで選択するようにしたものである。このようにすれば、パッケージの収納した半導体装置の電子機器への組み込み後においても、マスクROM版マイコンとEEPROM版マイコンとを容易に選択することができるものである。この結果、マスクROM版マイコンとEEPROM版マイコンとのそれぞれの場合において、機器のデバッグや差異評価を精度良くかつ低コストで実現することができる。

【0090】また、上記のように選択専用のリードやパッド電極を設ける方法としては、LSIチップ203とLSIチップ213とにそれぞれ別々のプログラムを内蔵させておくようにしてもよい。つまり、選択専用のリードへ供給される信号の電位レベルにより異なるプログラムに応じた異なる動作が実現可能なマイコンを選択的に実現することができる。つまり、パッケージとしては1つのマイコンを2種類の使い方で用いることができる。この場合、このような半導体装置を適用した電子機器にて電源を切ることなく切り換え可能となるので、例

例えば、LSIチップ203のマスクROMに格納されたプログラムの続きを、LSIチップ213のEEPROMに格納したプログラムにて継続して実行することもできる。また、1つのマイコン（マスクROM版マイコン）用LSIチップ203を開発した後に、このマイコンの応用製品として、LSIチップ213を開発することで対応することができる。

【0091】次に、LSIチップ203のマスクROMに格納したプログラムあるいはLSIチップ213のEEPROMに格納したプログラムによって選択する方法である。つまり、LSIチップ203とLSIチップ213とを1つのパッケージに収納してなるマイコンにおいて、初期動作（デフォルト）時のプログラム起動をLSIチップ203のマスクROMに格納したプログラムあるいはLSIチップ213のEEPROMに格納したプログラムのどちらかに決めておき、その選択されるLSIチップのプログラムにおける最初のプログラムルーチンにより、どちらのLSIチップを使用するか（どちらのLSIチップのプログラムを使用するか）を決定するようにすればよい。例えば、このプログラムルーチンとしての起動プログラムにて、前述の選択用リードから入力されている信号の電位レベルを確認し、その確認結果に応じてマイコンに内蔵されたモード指定レジスタ等によって、その確認結果を保持し、これをどちらのLSIチップのプログラムを使用するかを選択信号として用いるようにすればよい。

【0092】なお、起動プログラムの他のプログラムにより選択する方法としては、前述のレジスタの状態を確認する方法も可能である。例えば、LSIチップ213がLSIチップ203側とデータの授受可能のように接続されているか否かにより、セットあるいはリセットされるレジスタとして、その状態を示すフラグを保持するようなレジスタであれば、実現可能である。

【0093】次に、LSIチップ203に、LSIチップ213がLSIチップ203側とデータの授受可能のように接続されているか否かを判定するような判定回路等のハードウェアにより選択する方法がある。つまり、マイコンの初期化時等において、このような判定回路にて、LSIチップ213の有無を判定する。LSIチップ213がないと判定された場合には、LSIチップ203側のプログラムを起動し、LSIチップ213があると判定された場合には、LSIチップ213側のプログラムを起動するようにすればよい。このような判定回路としては、図7のような構成と同様なものが適用可能であり、これをパッド電極205aでなく所望の判定可能な信号線に接続しておけばよい。また、このような判定回路の判定は、バスライン経由で所定のレジスタへのアクセス動作にて判定することや、2つのLSIチップのそれぞれの所望のパッド電極間を判定検出用のワイヤ等にて接続し、この接続状態（例えば、接続されている

場合には、電源電圧が印加され、接続されていない場合には、開放状態となるようなもの）にて判定するようにしてもよい。

【0094】ここまで、第1及び第2の実施の形態における2つのLSIチップの組み合わせや選択処理に関する変形例や応用例についてを詳細に説明した。ここで、次に、パッド電極の配置等レイアウトに関する変形例や応用例についてを以下に説明する。

【0095】第1に実施の形態や第2の実施の形態においては、図2や図5に示されるように、パッド電極125やパッド電極225をそれぞれ比較的LSIチップ113やLSIチップ213の外周に近い領域（図中では2つのLSIチップの並行する外周辺間の距離の略中央の位置）に配置されている。また、図10の平面図に示すように、LSIチップ113の配置された領域に更に、LSIチップ103の外周よりさらにLSIチップ113の外周に近接した位置にパッド電極325が配置されている。このようなパッド電極の配置は、リード9とパッド電極105との接続用のワイヤ107がパッド電極115とパッド電極325との接続用のワイヤ117と交差することがない。しかしながら、以下のような問題が考慮される。

【0096】第1に、LSIチップ103の主表面上に搭載されるLSIチップ113のチップサイズが変更された場合に、そのサイズ変更に対する対応が困難あるいはそのための余裕が小さくなってしまう。このようなサイズ変更は、メモリサイズの拡大等の仕様変更や適用される製造プロセスの変更により生ずる可能性は充分考えられるものである。

【0097】第2に、LSIチップ103の略中央寄りの領域に、パッド電極125、325等を配置するようにしているため、LSIチップ103のレイアウト設計時に、これらパッド電極125、325等の保護回路の配置が困難、無駄な領域の増加、LSIチップ103における回路モジュールがこのパッド電極125、325の配置領域にて分断される等の制約が生ずることである。このような制約があると、通常のCADシステムを適用してLSIのレイアウト設計をすることが効率的に行うことができなくなる。

【0098】このような問題点を解決するためには、図11の平面図に示すようなパッド電極のレイアウトを適用することで解決することができる。図11においては、図10と同様な構成においては同じ符号を付けている。

【0099】図11においては、パッド電極125や325に相当するパッド電極425を、LSIチップ113の外周よりLSIチップ103の外周に近い位置にて、パッド電極105とで千鳥状に配置している。その他の構成は図10と同様である。このように、リードとの接続用のパッド電極105とパッド電極115との接

続用のパッド電極425とを千鳥状に交互に配置しているので、上記のような問題点を解決し、省スペースで効率的なレイアウトが可能となる。

【0100】次に、上記の実施の形態や変形例等においては、いずれもLSIチップ103やLSIチップ113の2辺にのみパッド電極が配置されているものを例としてきたが、これに限らない。例えば、図12の平面図に示すように、LSIチップ103に相当するLSIチップ503の4つの辺それぞれに沿って、パッド電極105に相当するパッド電極505が配置され、LSIチップ113に相当するLSIチップ513の4つの辺それぞれに沿って、パッド電極115に相当するパッド電極515が配置されるものであってもよい。また、パッド電極115の配置に合わせて、パッド電極125に相当するパッド電極525が、パッド電極505とで千鳥状となるように配置されている。パッド電極505は対応するリード9とワイヤ507にて電気的に接続され、パッド電極515は対応するパッド電極525とワイヤ517にて電気的に接続されている。

【0101】図12のようなパッド電極のレイアウトは、LSIチップ503のサイズとLSIチップ513のサイズの関係、パッド電極525の数とこれらパッド電極525に対するワイヤボンディングのための実装上での設計制約により各LSIチップの4つの辺に沿って配置しているものである。しかし、可能であれば、図13の平面図に示すように、LSIチップ513に相当するLSIチップ613における対向する2辺に集中してパッド電極515に相当するパッド電極615を配置し、これに合わせて、LSIチップ503に相当するLSIチップ603のパッド電極525に相当するパッド電極625を、LSIチップ603の対向する2辺に配置するようにした方がよい。

【0102】図12のようにパッド電極を配置することにより、次のような効果が期待できる。例えば、内部インターフェース用として用いられるパッド電極615とパッド電極625との距離は、ワイヤボンディング時の制約から、実装上である一定の距離を確保する必要がある。しかしながら、このようなパッド電極613が配置されていない辺に対しては、上述のような制約はないので、リードとの接続用のパッド電極605の近傍まで、LSIチップ613の外周部分を接近させることができる。例えば、図14の平面図に示すように構成することができる。

【0103】図14においては、LSIチップ613の、図面における水平方向のサイズが大きくなっていることが理解されるであろう。つまり、パッド電極615が配置されている側のLSIチップ613の辺とパッド電極625が配置されている側のLSIチップ603の辺との距離(L1)よりパッド電極615が配置されていない側のLSIチップ613の辺とパッド電極625

が配置されていない側のLSIチップ603の辺との距離(L2)の方が短くなっている。

【0104】このため、図12のものに比べて図13や図14に示すようなものの方が、LSIチップ613のチップサイズや形状に対する制約が少なくて済むので、設計や形状の自由度が増すこととなる。また、LSIチップ613のサイズを、可能な限りにおいて少しでもLSIチップ603のサイズに近づけることができれば、それだけ厚さが厚い部分が増えるので、外部応力に対してもより強固にすることが可能となる。

【0105】なお、図13や図14においては、2辺にインターフェース用のパッド電極615やパッド電極625を配置するものを例としたが、3辺あるいは1辺にインターフェース用のパッド電極615やパッド電極625を配置するものであってもよい。

【0106】このように、インターフェース用のパッド電極615やパッド電極625を配置する辺を絞り込んでおくことで、LSIチップ603においてこれらパッド電極625用の信号をまとめてレイアウトすることができるので、効率的な配線が可能となることや、LSIチップ613のウェハブロービング時に、これらLSIチップ613を複数個同時にテストすることが可能となる。

【0107】次に、本発明の半導体装置におけるテストに関する変形例についてを以下に説明する。本発明においては、MCPタイプの半導体装置において、1つのパッケージに収納された複数のLSIチップをもちいて所望の機能を実現するものである。このため、組立て後の半導体装置としての試験時には、リード9を用いて、所望の機能が正しく実行されるか否かをテストし、良品あるいは不良品の選別をすることとなる。ここで、本発明の半導体装置においては、例えば、LSIチップ103とLSIチップ113のそれぞれを個別にテストすることが可能なテスト回路を、例えば、LSIチップ103に内蔵しておくことによりよい。例えば、テストを指示するためのリード9の1つ及びテストを指示するためのパッド電極105の1つに対して、所定の電位レベルの信号を入力することや個別のテストを可能とするテスト機能を設けることで可能となる。このような場合、このテスト信号により、リード9における入出力用のリードが、図9に示すような選択回路により、LSIチップ103の入出力信号かLSIチップ113の入出力信号かと選択的に接続されるように制御されればよい。このようにすることで、例えば、一括消去可能なEEPROMからなるLSIチップ113をリード9を用いて、メモリテストにより試験し、LSIチップ103をLogicテストにて総合試験することが可能となる。よって、試験に対するカバレッジを向上させることができる。

【0108】次に、本発明の半導体装置におけるワイヤボンディングに関する変形例についてを以下に説明す

る。前述した第1及び第2の実施の形態においては、LSIチップ113のパッド電極115における電源用のパッド電極や接地用のパッド電極等もパッド電極125に電氣的に接続されるものとしてある。しかしながら、パッド電極113のうち、電源用のパッド電極、接地用のパッド電極、アナログ信号用のパッド電極はノイズの影響を受けることを考慮したり、時に、電源用のパッド電極のように電流量が多いものについては、LSIチップ103においてのこれらのパッド電極に接続される部分のレイアウトが大きくなったり、所望の性能を実現できないといったことが問題になる。

【0109】このような問題点に対しては、図12のパッド電極515xやパッド電極515yのように、リード9xやリード9yに直接ワイヤ517xやワイヤ517yにて電氣的接続するようにすればよい。図12においては、例えば、パッド電極515xは電源用のパッド電極であり、パッド電極515yは接地用のパッド電極であり、リード9xは電源用のリードであり、リード9yは接地用のリードである。また、図13においても、パッド電極515xに相当するパッド電極615x及びパッド電極515yに相当するパッド電極615yが示されている。

【0110】図12や図13のように、電源用のリード9xや接地用のリード9yから直接ワイヤボンディングにより、LSIチップ515や615の電源用のパッド電極や接地用のパッド電極に電氣的に接続するようにしたので、上記のような問題点を解決することができる。よって、電源系のノイズの回り込みが防止でき、LSIチップ503や603の内部配線にて電源等を供給する必要がないので、LSIチップ503や603における大電流対応のための配線のメタル幅確保も不要となる。

【0111】また、LSIチップ113におけるパッド電極113のうちアナログ信号用のパッド電極については、図15の平面図に示すように、アナログ信号用のリード9wとアナログ信号用のパッド電極715wとを直接ワイヤ717にて電氣的に接続するようにすれば、上記問題点を解決することができる。また、LSIチップ113における接地用のパッド電極に対しても、図15のパッド電極715wとリード9wのように対応することも可能である。

【0112】次に、本発明の半導体装置における発振回路の搭載についてを以下に説明する。LSIチップ103とLSIチップ113とで、搭載された回路上、別々の源発振クロックを必要とする場合、それぞれのLSIチップに発振回路を内蔵し、それぞれに水晶振動子を接続する必要が生ずる。この場合、LSIチップ113側の発振回路においては、リードまでのワイヤ長が長くなり、コイル成分が大きくなるため、誘導の影響が大きくなってしまふこととなる。

【0113】このような場合には、LSIチップ103側にLSIチップ113用の発振回路を持たせればよい。LSIチップ113が発振回路を搭載していたとしても、LSIチップ113が搭載する発振回路は使用せず、LSIチップ103における代替用としての、LSIチップ113用の発振回路によりLSIチップ113へ所望のクロック信号を入力するようにすればよい。

【0114】次に、本発明の半導体装置における構造について以下に説明する。前述したいずれの実施の形態においても、例えば、チップサイズの大きいLSIチップ103が下に配置され、チップサイズの小さいLSIチップ113がLSIチップ103の上に配置されるようになっている。ここで、一括消去可能なEEPROMのように、メモリセル上部に応力が加わることでエンデュランス特性等の回路の諸特性に影響が生ずるようなものがある。このような応力に対する影響を受け易いLSIチップについては、応力に対する影響をより低減できる配置として、必ずLSIチップ113のように、例えば2つのLSIチップのうちの上側に配置されるものとした方がよい。

【0115】以上、本発明についてを詳細に説明したが、本発明においては、その要旨を変更しない範囲で種々の改良や変更を妨げるものではない。

【0116】例えば、図12においては、パッド電極505とパッド電極525とを千鳥状に配置しているが、これに限るものではない。図12においては、レイアウト上の制限から、LSIチップ503におけるパッド電極505のパッド電極間の間隔が狭いような場合やパッド電極525に対する保護回路の配置制限が生ずる場合に、適用されるものである。パッド電極525に対する保護回路の配置制限が解消され、LSIチップ503におけるパッド電極505のパッド電極間の間隔が比較的広く（例えば、隣り合うパッド電極505の間に他のパッド電極が配置できる程度の広さ）とれるような場合には、隣り合うパッド電極505間にパッド電極525を配置するようにしてもよい。つまり、LSIチップ503の外周の各辺において、パッド電極505とパッド電極525が一行に整列配置されるようにしてもよい。この場合、これらパッド電極505の近傍にレイアウトされる電源用配線や接地用配線を、パッド電極505における保護回路及びパッド電極525における保護回路にて共用することができるので、より有効である。

【0117】また、第2の実施の形態においては、図7に示すような回路を用いる例を示したが、図7のような回路構成に限定されるものではない。例えば、選択信号SELの電位レベルが前述のものとは逆にしたいのであれば、プルダウン抵抗251を電源電位とパッド電極205aとの間に配置されたプルアップ抵抗とし、パッド電極205aを接地用のリードとワイヤにて接続するか否かで選択するようにしてもよいし、以下のようにして

も実現可能である。

【0118】図19に、図7の回路の変形例を示す。図19において、図7と同様な構成要素については、同じ符号を付けている。

【0119】図19においては、図7のプルダウン抵抗251の代わりに、Nチャネル型MOSトランジスタ851を設けている。図19におけるその他の構成は図7と同様である。MOSトランジスタ851の一方の電極（例えば、ドレイン側）はパッド電極205aに接続され、他方の電極（例えば、ソース側）は接地されている。MOSトランジスタ851のゲート電極には、バッファ257を介してリセット信号RESが入力されている。

【0120】図19のように構成することで、リセット信号RESの電位レベルがHレベルになった時に、MOSトランジスタ851が導通状態となる。この時、パッド電極205aが電源用のリード9aとワイヤにて電気的に接続されていれば、LAT255には電位レベルがHレベルの信号がANDゲート253から入力される。これを確実に行うためには、MOSトランジスタ851が導通状態となった時のオン抵抗が、プルダウン抵抗251のように高抵抗であることが望ましい。パッド電極205aが電源用のリード9aとワイヤにて電気的に接続されていなければ、LAT255には電位レベルがLレベルの信号がANDゲート253から入力される。この後、LAT255の入力された信号の電位レベルに応じた電位レベルの選択信号SELが出力され、リセット信号RESの電位レベルがLレベルに戻っても、LAT255が選択信号SELの電位レベルを維持することができる。よって、第2の実施の形態と同様な選択を行うことができる。

【0121】図19の回路は、図7の回路に比べて、パッド電極205aがワイヤにて電源用のリード9aと電気的に接続されていても、リセット処理時以外（つまり、リセット信号RESの電位レベルがHレベルとなる時以外）は、パッド電極205aと接地との間に流れる電流をMOSトランジスタ851にて低減することができる。このため、図19の回路は、図7の回路に比べて、消費電力を低減することができる。また、抵抗251がMOS抵抗であると考えれば、図19と図7とでレイアウト的にも差異はなく、素子数も変わらない。

【0122】また、図7のような回路を用いない方法もある。図20は、図7の回路を用いない場合の、本発明の第2の実施の形態の変形例におけるMCPタイプの半導体装置の内部構造を示す平面図である。図20は、図5に対応するものであり、図20において、図5と同様な構成要素は図5と同じ符号を付している。

【0123】図20においては、図5に示される構成に加えて、パッド電極205bが追加されている。このパッド電極205bは、ワイヤにて接地用のリード9bに

接続可能な位置に配置されている。

【0124】図21は、図20の変形例の用いられる、パッド電極205a及びパッド電極205bに接続された、LSIチップ203の回路を示す図である。

【0125】図21に示すように、LSIチップ203には、図7のような回路の代わりに、バッファ853が設けられている。バッファ853の入力端には、パッド電極205aとパッド電極205bとが共通配線を介して接続されている。つまり、パッド電極205aとパッド電極205bとは、LSIチップ103内にて配線によりワイヤードORされて、バッファ853に入力されることとなる。バッファ853から出力される信号を選択信号SELとして用いる。

【0126】このように構成することで、パッド電極205aが電源用のリード9aとワイヤにて電気的に接続され、パッド電極205bが接地用のリード9bとワイヤにて電気的に接続されずに開放状態であれば、バッファ853の出力である選択信号SELの電位レベルはHレベルに維持される。また、パッド電極205aが電源用のリード9aとワイヤにて電気的に接続されずに開放状態であり、パッド電極205bが接地用のリード9bとワイヤにて電気的に接続されていれば、バッファ853の出力である選択信号SELの電位レベルはLレベルとなる。よって、第2の実施の形態と同様な選択を行うことができる。

【0127】このようにすると、パッド電極205bが増えることとなるが、図7のような回路が必要ないので、LSIチップ203のコスト低減、サイズの縮小等に寄与できる。

【0128】なお、パッド電極205bを設けられない場合には、バッファ853の入力端をパッド電極205aのみに接続し、バッファ853から出力される信号を選択信号SELとしてもよい。この場合、ワイヤボンディングをし易くし、ワイヤ間での短絡を防止するために、図22に示すように、電源用のリード9aと接地用のリード9bとが隣合って配置され、電源用のパッド電極205dと接地用のパッド電極205gの間にパッド電極205aが配置されていることが望ましい。このようにして、パッド電極205aを、電源用のリード9aあるいは接地用のリード9bのどちらかとワイヤボンディングすることで、選択信号SELの電位レベルを選択的に制御することができる。

【0129】ここで、製造時におけるパッド電極205aへのワイヤボンディング誤りを低減するためには、図22における電源用のリード9aと接地用のリード9bとを離して配置した方がより好ましい。この場合の対応には、やはり、図20のように、パッド電極205aとパッド電極205bとを設ける必要がある。

【0130】パッド電極205aとパッド電極205bとを用いる方法としては、更に、次のような方法も考慮

される。

【0131】図21のバッファ853の入力端に、この入力端と接地との間を、LSIチップ203におけるマスクROMのためのマスク層を使用して選択的に接続可能とする方法である。つまり、上述したように、マスクROMにおけるコード（プログラム）を決めるマスク層には、メモリタイプによりメタル層、コンタクト層、インプラ層など各種あり、このプログラムコードに応じた所望のマスクを用いてマスクROMが製作される。このため、マスクROMのコード用に加えて、上記の選択用としてマスク層用のマスクを使用し、選択指定することができる。例えば、マスク層にて、バッファの入力端と接地との間を接続するようにすれば、選択信号SELの電位レベルはLレベルに固定できる。この場合、パッド電極205a及びパッド電極205bはともにワイヤボンディングにて所望のリードとの電気的な接続をせずに、開放状態とすることができる。このため、マスクROM版マイコンとしての使用が決定している場合には、このようにマスク層にて選択信号SELの電位レベルを固定するようにすれば、上記の問題が解決できる。この場合、プログラムコード用のマスクを用いるので、製造工程の増加や製造コストの増加も生ずることがない。

【0132】ここで、マスクROM版マイコンとしての使用が決定している場合には、パッド電極205a、パッド電極205b、パッド電極205aとパッド電極205bが入力端に接続されたバッファとを用い、マスク層でバッファの入力端を接地させることは有効である。ここで、このようなマイコンに対して、再びEEPROM版マイコンに適用したい要求に対して応える方法を以下に説明する。

【0133】このような要求に対しては、図23のような回路を用いることが有効である。図23は、図19に対応させて見るできるので、図23において図19と同様な構成要素については図19と同じ符号を付けている。

【0134】図23の回路は、図19に示すANDゲート253が削除されている。これは図7において、前述したような理由からである。また、バッファ853の代わりに、図19と同様なLAT255とバッファ257、MOSトランジスタ851が設けられている。パッド電極205aとパッド電極205bとは、LSIチップ103内に配線によりワイヤードORされて、LAT255の入力端子Dに接続されている。リセット信号RESはLAT255のゲート端子に入力されるとともに、バッファ257を介してNチャネル型MOSトランジスタ851のゲート電極に入力される。Nチャネル型MOSトランジスタ851の一方の電極（例えば、ソース側）は接地され、他方の電極（例えば、ドレイン側）は、先に説明したマスクROMのマスク層にて接続が選択的に行われる、図23のスイッチ手段861を介して

LAT255の入力端子Dと接続可能になっている。LAT255の出力端子Oから出力される信号が選択信号SELとなる。動作は、基本的には、図19と同様である。

【0135】次に、図23の回路の動作を説明する。なお、図23の回路を搭載したLSIチップ103及びLSIチップ113を用いる半導体装置において、選択信号SELの電位レベルがLレベルの場合に、その半導体装置をマスクROM版マイコンとするように設定し、選択信号SELの電位レベルがHレベルの場合に、EEPROM版マイコンとするように制御するものとして説明する。図23においては、スイッチ手段861が未接続（つまり、マスク層にてMOSトランジスタとLAT255の入力端子Dとが電氣的に接続されていない状態）で、パッド電極205aを電源用のリード9aとワイヤボンディングするか、パッド電極205bを接地用のリード電極9bとワイヤボンディングするかによって、リセット信号RESに基づいて、選択信号SELの電位レベルを選択的に設定することができる。この場合、EEPROM版マイコンとしてもマスクROM版マイコンとしてもワイヤボンディングにて選択可能である。また、スイッチ手段861が接続（つまり、マスク層にてMOSトランジスタとLAT255の入力端子Dとが電氣的に接続された状態）し、パッド電極205a及びパッド電極205bをともにワイヤボンディングせず開放状態としておけば、リセット信号RESに基づいて選択信号SELの電位レベルを設定しようとしても、選択信号SELの電位レベルをLレベルに固定することができる。この場合、マスクROM版マイコンとして固定される。

【0136】さらに、スイッチ手段861が接続（つまり、マスク層にてMOSトランジスタとLAT255の入力端子Dとが電氣的に接続された状態）した状態において、パッド電極205aを電源用のリード9aとワイヤにて電氣的に接続すると、LAT255の入力端子に入力される信号の電位レベルをHレベルにすることができる。このため、スイッチ手段861が接続状態であっても、リセット信号RESに基づいて、選択信号SELの電位レベルをHレベルとすることが可能となる。この場合、マスクROM版マイコンとして固定されたものを、強制的にEEPROM版マイコンとして再度使用することができることとなる。

【0137】図23の回路を用いることで、上記の問題点を解決することができる。また、図23の回路においては、図19と同様に、消費電力の低減にも寄与することが可能である。

【0138】なお、図7、図19、図23にそれぞれ示す回路は、いずれもリセット信号RESに基づき、選択信号SELの電位レベルの設定を行うものである。このため、電源の瞬断等の不測の事態により、電位レベルがLレベルであったリセット信号RESの電位レベルが一

時的にHレベルとなり、再びLレベルに戻るような場合が起こり得る。このような場合における選択信号SELの電位レベルの安定化をより確実に得たい場合には、図7、図19、図23のような回路を用いるより、例えば、図21に示す回路を用いたり、その他の上述したようなリセット信号RESと関わらずに、選択信号SELの電位レベルを設定する方がよい。

【0139】なお、リセット信号RESを用いずに、パッド電極205bを設けることなくパッド電極205aのみを使用する方法としては、次のようなものも可能である。

【0140】例えば、入力端がパッド電極205aに接続され、出力される信号を選択信号SELとして用いる点は上述のものと同様である。ここで、パッド電極205bを設けない代わりに、パッド電極205aと接地との間を、LSIチップ203におけるマスクROMのためのマスク層を使用して選択的に接続可能とする方法である。例えば、パッド電極205aにワイヤボンディングを施さずに開放状態し、マスク層にて、パッド電極205aと接地との間を接続するにすれば、選択信号SELの電位レベルはLレベルに固定できる。また、マスク層にてパッド電極205aと接地との間が未接続であれば、パッド電極205aを電源用のリード9aとワイヤにて電気的に接続すれば、選択信号SELの電位レベルはHレベルにすることができる。また、リード9aに隣接して接地用のリード9bが配置されていれば、パッド電極205aと接地用のリード9bとワイヤにて電気的に接続すれば、選択信号SELの電位レベルはLレベルにすることができる。さらに、マスク層にて、パッド電極205aと接地との間を接続されていても、パッド電極205aを電源用のリード9aとワイヤにて電気的に接続すれば、消費電力は増えるが、選択信号SELの電位レベルはHレベルにすることができる。

【0141】以上のように、第2の実施の形態における選択方法としては種々のものがある。このため、本発明の半導体装置を適用する製品の構成や目的に応じて、上述した様々な選択方法のいずれかを適用することで、その目的を満足させることができると言える。

【0142】また、上記においては、いずれもワイヤを用いて複数のLSIチップ間を接続するMCPタイプものを例として説明したが、これに限らず次のようなものにおいても適用が考慮できる。

【0143】例えば、複数のLSIチップを積層せずに、基板にそれぞれ同一平面側に実装して、この基板におけるプリント配線により相互に接続するようにしてもよい。具体的には、LSIチップ103のパッド電極105とパッド電極125を、それぞれLSIチップ103自身が実装される基板に設けられている所定の配線部分と電気的に接続されるようにワイヤボンディングする。また、LSIチップ113のパッド電極115も同

様に、LSIチップ113自身が実装される基板に設けられている所定の配線部分と電気的に接続されるようにワイヤボンディングする。ここで、基板に設けられている配線を介して、パッド電極115とパッド電極125とが電気的に接続されるようにワイヤボンディングがなされる。また、基板における、ワイヤボンディングにてパッド電極105が接続された配線は、ワイヤボンディングにて更にリードのような外部端子や、スルーホール等によりLSIチップの実装されない側の平面に設けられたバンプ電極と電気的に接続される。

【0144】また、リードフレームにおけるダイや基板の表面と裏面にそれぞれのLSIチップを配置して相互に接続するようにしてもよい。具体的には、基板の表面にLSIチップ103を配置し、LSIチップ103のパッド電極105とパッド電極125を、それぞれLSIチップ103自身が実装される表面側に設けられている所定の配線部分と電気的に接続されるようにワイヤボンディングする。また、基板の裏面にLSIチップ113を配置し、LSIチップ113のパッド電極115を、LSIチップ113自身が実装される裏面側に設けられている所定の配線部分と電気的に接続されるようにワイヤボンディングする。ここで、基板に設けられている配線とスルーホールを介して、パッド電極115とパッド電極125とが電気的に接続される。また、基板における、ワイヤボンディングにてパッド電極105が接続された配線は、ワイヤボンディングにて更にリードのような外部端子に電気的に接続される。

【0145】また、パッド電極をバンプ構造にてそれぞれのLSIチップ間を相互に接続するようにしてもよい。これは、ワイヤボンディングを用いずに、パッド電極105とパッド電極125とが直接接続されるような構成となる。

【0146】いずれにおいても、本発明のようなパッド電極を有するLSIチップが適用でき、これら複数のLSIチップを相互に接続することで、所望の機能を実現することができる。

【0147】ただし、基板を用いることによるコストの増加やサイズの増加、ダイの表裏面を用いた際のLSIチップ間の相互の接続の困難性、バンプ構造とした際において、上側LSIチップのパッド電極の配置の変更に対する下側LSIチップにおける、上側LSIチップと接続されるべきパッド電極の配置変更に対する対処の必要性等の観点からみると、図2や図5に示すように、積層構造としてワイヤボンディングにより相互接続するものの方が、より最適といえる。

【0148】しかしながら、ワイヤボンディング等に様々な要因により、積層構造における各LSIチップに対する応力の影響を受けることを極力避けたい場合には、上述したように、基板に2つのLSIチップを実装し、この基板を用いて、2つのLSIチップ間の相互の接続

を行う方がよりよい。このため、基板を用いる方法は、応力の低減を重視するような製品やコスト的な面を十分補える他の要因を有する製品においては好適である。

【0149】また、前述のLSIチップに対する応力の影響にも関わるが、第2の実施の形態においては、サイズの大きいLSIチップ203をマイコンとし、サイズの小さいLSIチップ213を一括消去可能なEEPROMとして説明したが、これに限られるものではない。例えば、サイズの大きいLSIチップ203を一括消去可能なEEPROMとし、サイズの小さいLSIチップ213をマイコンとしてもよい。

【0150】これは、例えば、積層される2つのLSIチップにおいて適用される製造プロセスによっては、一括消去可能なEEPROMのLSIチップよりマイコンのLSIチップの方がサイズを小さくする場合も考慮される。ただし、サイズの大きいLSIチップ203が一括消去可能なEEPROMで、サイズの小さいLSIチップ213がマイコンとなるような場合には、次の点を考慮すべきである。

【0151】図24は、LSIチップ203に相当するLSIチップ913として、一括消去可能なEEPROMを用いた場合の、内部回路のレイアウトを示す図である。

【0152】LSIチップ913は、メモリセル部が配置されたメモリセル領域913-1、チャージポンプ回路等の周辺回路が配置された第1の周辺回路領域913-2、その他の周辺回路が配置された第2の周辺回路領域913-3とからなる。この時、メモリセル領域913-1に配置されるメモリセル部は、応力による影響にて特性の変化を生じやすい。図25は、LSIチップ913の主表面に、マイコンとしてのLSIチップ903を積層した平面図である。また、図26は、図25におけるLSIチップ903とLSIチップ913における内部回路の配置との関係を示す平面図である。なお、図25においては、リードや封止樹脂やワイヤを削除した状態を示している。

【0153】図25に示すように、LSIチップ903の内部回路とインターフェースをとるためのパッド電極915がLSIチップ913の主表面に配置されている。図25においては、LSIチップ913における外周の2つの辺にそれぞれ整列配置されている。LSIチップ913の主表面上にはLSIチップ903が配置されている。LSIチップ903の主表面上には、パッド電極915に電氣的に接続されるべき、LSIチップ913の内部回路とのインターフェースをとるためのパッド電極925が整列配置されている。パッド電極925は、ワイヤボンディング処理のし易さを考慮し、パッド電極915が配置されているLSIチップ913の辺と並行で、近接したLSIチップ903の各辺に沿って配置されている。また、LSIチップ903の主表面上

には、図示せぬ外部との接続用リードと電氣的に接続されるべきパッド電極905が整列配置されている。パッド電極905は、LSIチップ903の外周における、パッド電極925の配置された辺と同じ辺に沿って、パッド電極925と千鳥状に配置されてもよいし、パッド電極925の配置されていない辺に沿って配置されてもよい。また、パッド電極925の配置された辺と同じ辺に沿って、パッド電極905を配置する場合、隣合うパッド電極905の間隔が広ければ、パッド電極905の間にパッド電極925を配置して、パッド電極905とパッド電極925とを一行に整列配置してもよい。この場合、ワイヤボンディングの際に、リードと接続されるべきパッド電極905とパッド電極925との区別がしづらいが、ワイヤボンディングにてパッド電極905とリードとを電氣的に接続するワイヤと、パッド電極915とパッド電極925とを電氣的に接続するワイヤとが短絡するようなことが防止しやすいし、このような短絡防止のためにワイヤボンディングにてパッド電極905とリードとを電氣的に接続するワイヤの頂点の高さを高くする必要がないので、封止樹脂の厚さも薄くすることができる。なお、パッド電極925は、接続されるべきリードとのワイヤボンディングを考慮して配置されればよい。

【0154】図26に示されるように、LSIチップ903（図26においては点線にてその配置される領域を示している）は、LSIチップ913におけるメモリセル部が配置されたメモリセル領域913-1の上方を完全に覆うように配置されている。

【0155】このように配置することにより、次のような効果がある。つまり、LSIチップ903、913の熱膨張係数の差、これらLSIチップを樹脂封止する封止樹脂の熱膨張係数の差等により、例えば、図26における領域913-2がメモリセル領域であったとすると、メモリセルにおいて、その上方をLSIチップ903にて覆われた部分と覆われていない部分とがあることが分かる。このような状態で積層配置されたLSIチップを樹脂にて封止すると、前述したような熱膨張係数の差等により、メモリセルに対する応力が不均一（特に、メモリセル領域におけるLSIチップ903にて覆われた部分と覆われていない部分との境目のメモリセル）となり、この結果、メモリセルの特性に影響が与えられることとなる。このため、このようなメモリセル領域を有するLSIチップ913の上に他のLSIチップ903を積層配置する場合には、図26のように、メモリセル領域913-1の上方をLSIチップ903で完全に覆うように配置することで、上記の問題を解決することができる。

【0156】図27は、図25の2つの積層されたLSIチップを樹脂封止した半導体装置の断面図である。図27は図25のA-A'断面図に相当する。なお、図1

と同様な構成要素には同じ符号を付けている。図27に示すように、インターフェース用のパッド電極915とパッド電極925とはワイヤ917にて電気的に接続されている。また、パッド電極905はリード9とワイヤ907にて電気的に接続されている。なお、ワイヤ907とワイヤ917とが短絡しないように、ワイヤ907の頂点の高さを十分高くする必要がある。また、このワイヤ917が外部に露出しないように、充分な厚さをもって、封止樹脂10にて樹脂封止が施されている。

【0157】図28は、LSIチップ913における内部回路のレイアウトの変形例を示す図であり、図26と同様に、LSIチップ903の配置される領域を点線にて示している。図28においては、メモリセル領域913-1をLSIチップ913の略中央領域にしている。このメモリセル領域913-1の周辺を、第1の周辺回路領域913-2や第2の周辺回路領域913-3としている。このように配置すると、LSIチップ903をLSIチップ913の、主表面において、略中央領域を覆うように配置すれば、LSIチップ903にてメモリセル領域913-1の上方を十分覆うことができる。

【0158】図29は、図28におけるLSIチップ913の主表面に、マイコンとしてのLSIチップ903を積層した平面図である。メモリセル領域913-1を図28のようにすることで、図29のようなパッド電極の配置を実現することができる。つまり、LSIチップ903における外周の並行する2辺に、インターフェース用のパッド電極925をそれぞれ配置でき、他の並行する2辺にリードとの接続用のパッド電極905をそれぞれ配置することができる。パッド電極915は、パッド電極925が配置された、LSIチップの外周の近傍に設けている。

【0159】図30、図31は、それぞれ図31の2つの積層されたLSIチップを樹脂封止した半導体装置の断面図である。図30は図29のA-A'断面図に相当し、図31は図29のB-B'断面図に相当する。

【0160】図30に示されるように、パッド電極905はリード9とワイヤ907にて電気的に接続されている。図31に示されるように、パッド電極915はパッド電極925とワイヤ917にて電気的に接続されている。

【0161】このように、図28～図31から分かるように、パッド電極905とパッド電極925とを、LSIチップ903の外周における別々の辺にそれぞれ沿って配置することができるので、ワイヤ907とワイヤ917が短絡するような問題が生じない。また、このような短絡を防止するためにワイヤ907の頂点の高さを高くする必要がないので、図27の場合に比べて、図30の方が封止樹脂の厚さも薄くすることができる。また、パッド電極905とパッド電極925とが異なる辺に沿って配置されているので、誤ったワイヤボンディングが

されることも低減できる。

【0162】なお、上記においては、LSIチップ913を一括消去可能なEEPROMとして説明したが、一括消去可能なEEPROMと同様な応力の問題が生ずるメモリセルや回路を搭載するものであれば、LSIチップ913として一括消去可能なEEPROMに限らず、図24～図31のような方法を適用することが可能である。また、LSIチップ903もマイコンに限らなくともよい。サイズの異なるLSIチップを用いたMCPにおいて、このような応力を考慮したMCPにおけるLSIチップの配置は、図17に示す従来のMCPにおいても適用しても十分効果があるものである。

【0163】このように、本発明においては、例えば、2つのLSIチップのうち、そのどちらをマイコンとして用い、どちらをメモリとして用いても適用できるものである。つまり、一方をLSIチップ103のようにインターフェース用のパッド電極125とリードとの接続用のパッド電極105とを設けておけば、他方のLSIチップのサイズが大きい場合には、このLSIチップの上にパッド電極105とパッド電極205を有するLSIチップを配置するようにすればよいし、他方のLSIチップのサイズが小さい場合には、パッド電極105とパッド電極205を有するLSIチップの上にこのサイズの小さいLSIチップを配置するようにすればよい。このように、一方のLSIチップを開発することで、他方のLSIチップとして様々なサイズや機能のものが適用でき、これにより種々のシステムLSIを短期間に提供することができる。この場合、一方のLSIチップは再度開発し直す必要がないので、コストも低減できる。

【0164】なお、図24～図31を用いて説明した構成においても、本明細書中で説明している種々の変形例や応用例を適用することが可能である。

【0165】上記実施の形態や変形例、応用例にて示した回路におけるプルダウン抵抗やNチャネル型MOSトランジスタは、選択信号SELの電位レベルの用い方に応じて、プルアップ抵抗としたり、PチャネルMOSトランジスタとしてもよい。また、リセット信号RESに限らず、他の信号を用いてもよいが、LSIチップの動作の初期時において、自動的に設定されるものとしては、リセット信号RESが好適である。

【0166】

【発明の効果】以上、本発明の半導体装置によれば、システムLSIを複数のLSIチップを樹脂にて封止した半導体装置にて容易に実現することができる。

【0167】また、本発明の半導体装置によれば、さらに、システムLSIを複数のLSIチップを樹脂にて封止した半導体装置にて実現するにあたって生ずる問題を解決し、従来に比べてもシステムLSIとしての機能を損なうことなく実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるMCPタイプの半導体装置100の内部構造を示す断面図である。

【図2】本発明の第1の実施の形態におけるMCPタイプの半導体装置100の内部構造を示す平面図である。

【図3】図1における半導体装置100の組立てを説明する斜視図である。

【図4】一括消去可能なEEPROMを搭載してなるマイコン50の構成を示すブロック図である。

【図5】本発明の第2の実施の形態におけるMCPタイプの半導体装置の内部構造を示す平面図であり、EEPROM版マイコンとしての半導体装置の図である。

【図6】本発明の第2の実施の形態におけるMCPタイプの半導体装置の内部構造を示す平面図であり、マスクROM版マイコンとしての半導体装置の図である。

【図7】パッド電極205aに接続された、LSIチップ203の回路を示す図である。

【図8】選択信号SELが入力される選択回路260の概念図である。

【図9】選択回路260の具体的な回路図である。

【図10】図2の変形例を示す半導体装置の平面図である。

【図11】図2の変形例を示す半導体装置の平面図である。

【図12】図11の応用例を示す半導体装置の平面図である。

【図13】図12の変形例を示す半導体装置の平面図である。

【図14】図13の応用例を示す半導体装置の平面図である。

【図15】ワイヤボンディングにおける変形例を示す半導体装置の平面図である。

【図16】従来の半導体装置を示す断面図である。

【図17】他の従来の半導体装置を示す断面図である。

【図18】図17の半導体装置における平面図である。

【図19】パッド電極205aに接続された、LSIチップ203の回路の変形例を示す図である。

【図20】本発明の第2の実施の形態の変形例におけるMCPタイプの半導体装置の内部構造を示す平面図である。

【図21】パッド電極205a及びパッド電極205bに接続された、LSIチップ203の回路を示す図で

ある。

【図22】本発明の変形例における、パッド電極の配置とリードの配置を示す図である。

【図23】パッド電極205a及びパッド電極205bに接続された、LSIチップ203の回路の他の例を示す図である。

【図24】LSIチップ203に相当するLSIチップ913として、一括消去可能なEEPROMを用いた場合の、内部回路のレイアウトを示す図である。

【図25】LSIチップ913の主表面に、LSIチップ903を積層した平面図である。

【図26】図25におけるLSIチップ903とLSIチップ913における内部回路の配置との関係を示す平面図である。

【図27】図25の2つの積層されたLSIチップを樹脂封止した半導体装置の断面図である。

【図28】LSIチップ913における内部回路のレイアウトの変形例を示す図である。

【図29】図28の変形例において、LSIチップ913の主表面に、LSIチップ903を積層した平面図である。

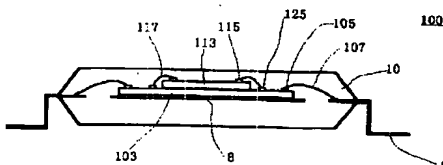
【図30】図29の2つの積層されたLSIチップを樹脂封止した半導体装置の断面図(A-A'断面図)である。

【図31】図29の2つの積層されたLSIチップを樹脂封止した半導体装置の断面図(B-B'断面図)である。

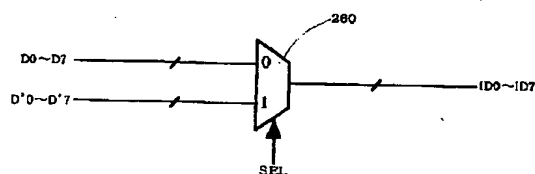
【符号の説明】

9 リード
 103、203、503、603、703 LSIチップ(下側)
 113、213、513、613、713 LSIチップ(上側)
 105、205、505、605、705 パッド電極(リード接続用)
 115、215、515、615、715 パッド電極(内部インターフェース用)
 125、225、325、425、525、625、725 パッド電極(内部インターフェース用)
 107、207、507 ワイヤ
 117、217、517、717 ワイヤ

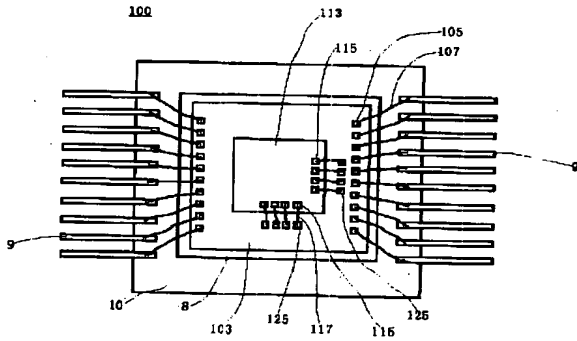
【図1】



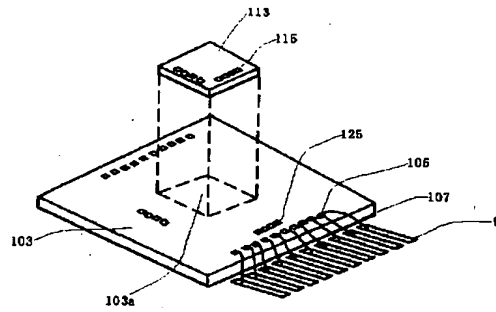
【図8】



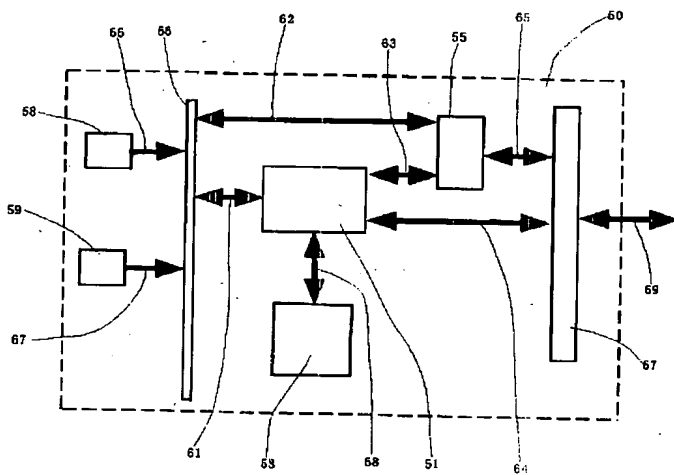
【図2】



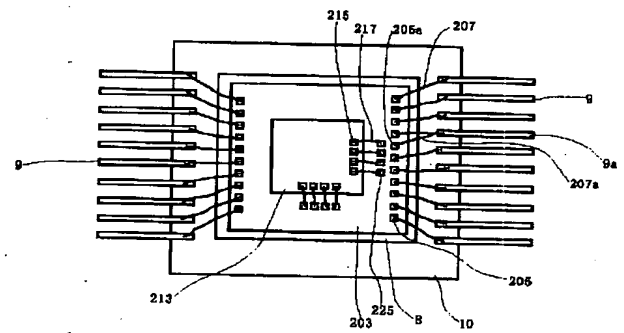
【図3】



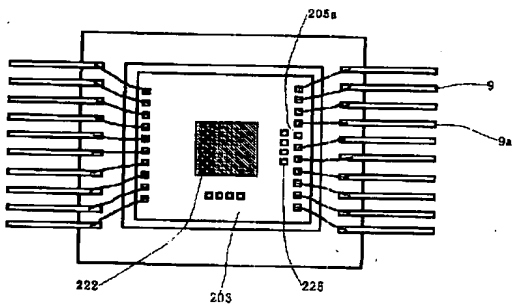
【図4】



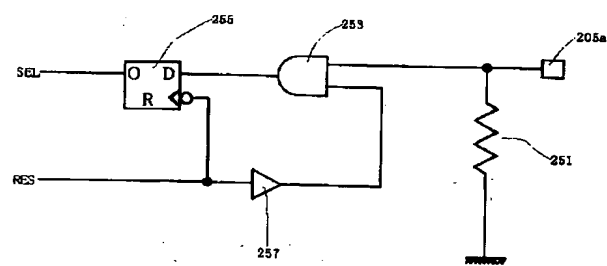
【図5】



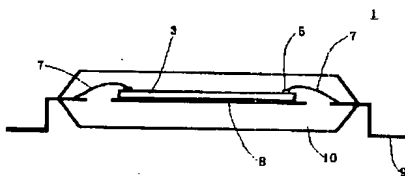
【図6】



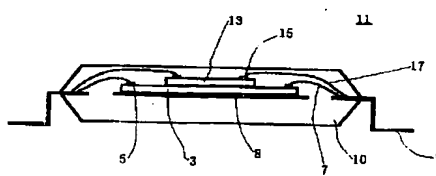
【図7】



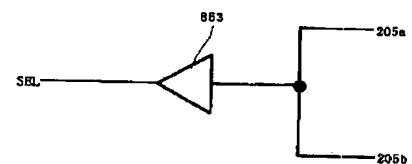
【図16】



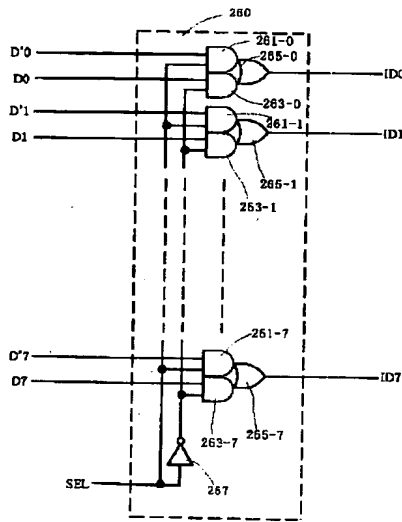
【図17】



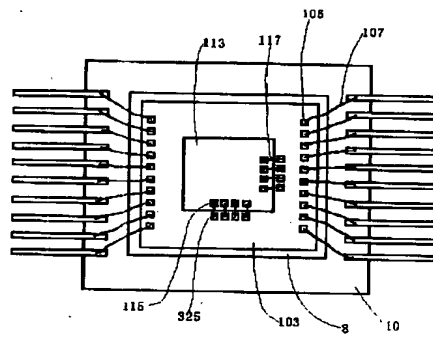
【図21】



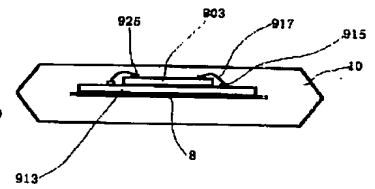
【図9】



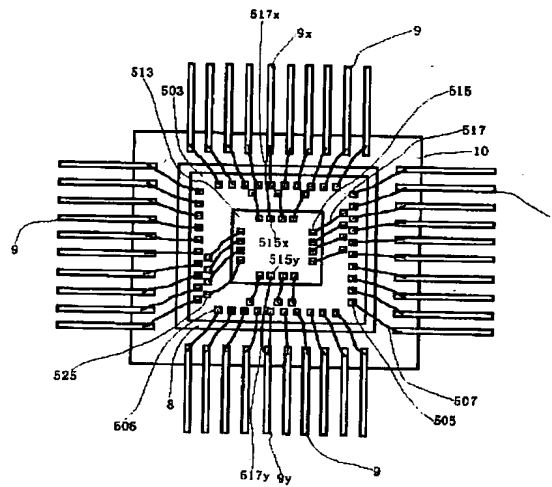
【図10】



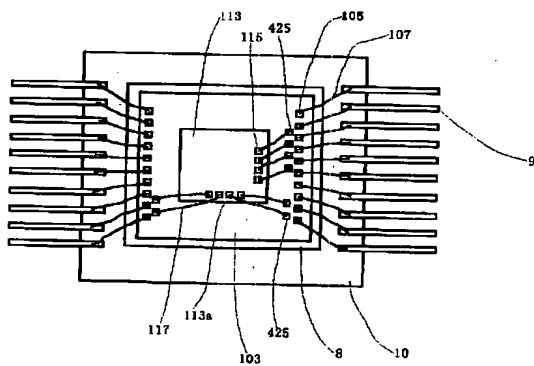
【図31】



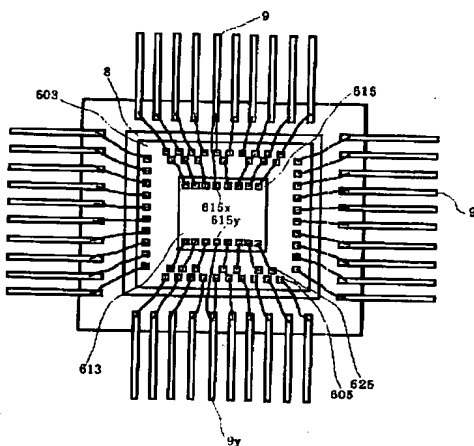
【図12】



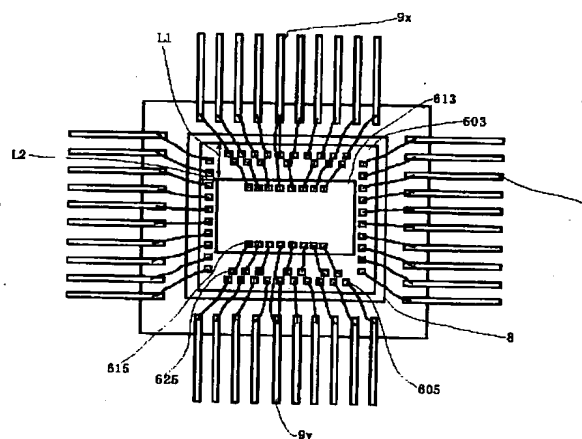
【図11】



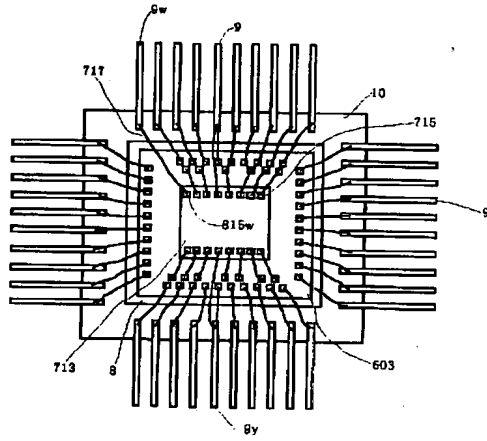
【図13】



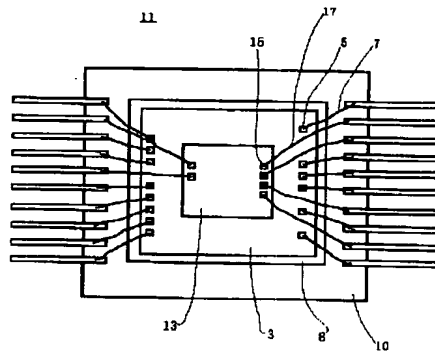
【図14】



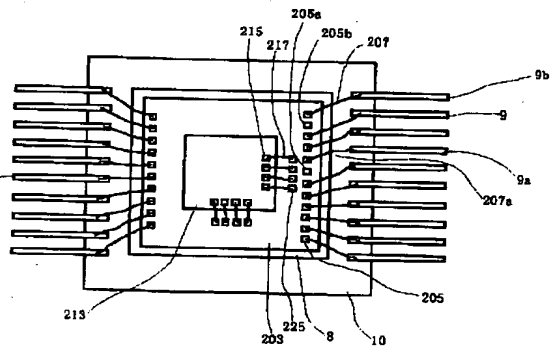
【図15】



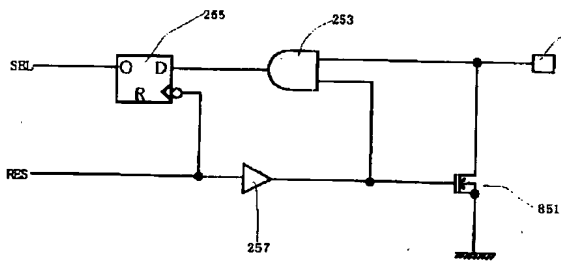
【図18】



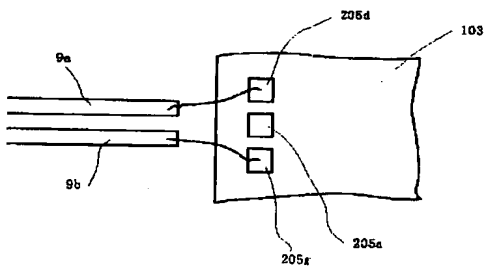
【図20】



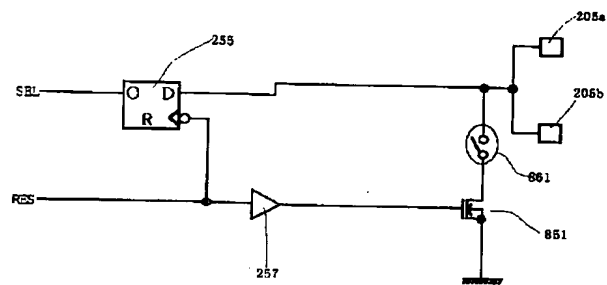
【図19】



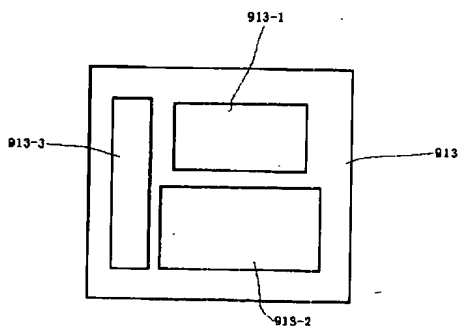
【図22】



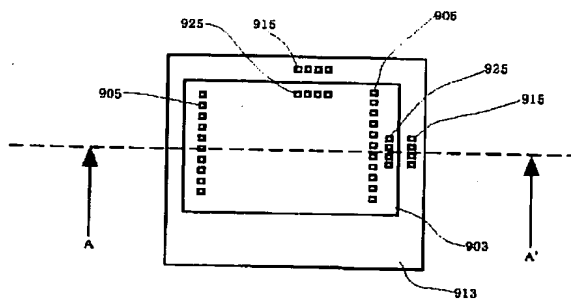
【図23】



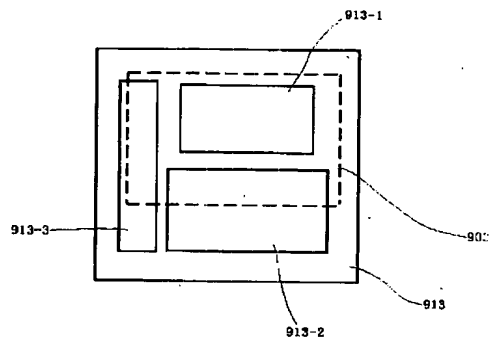
【図24】



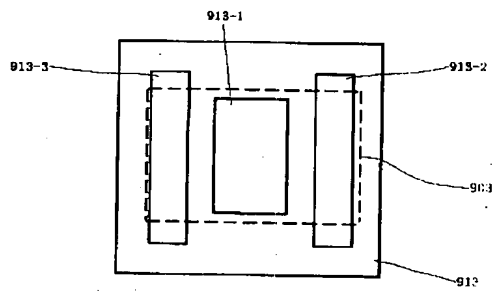
【図25】



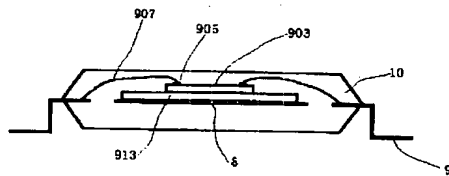
【図26】



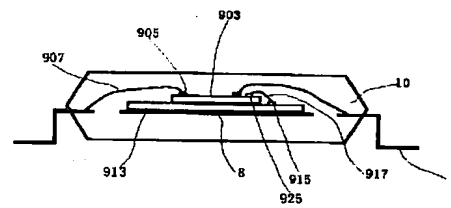
【図28】



【図30】



【図27】



【図29】

